



## MicroPatent® PatSearch Fulltext: Record 1 of 1

**Search scope:** JP (bibliographic data only)

**Years:** 1836-2005

**Patent/Publication No.:** ((JP2001357684))

[Order This Patent](#)

[Family Lookup](#)

[Find Similar](#)

[Legal Status](#)

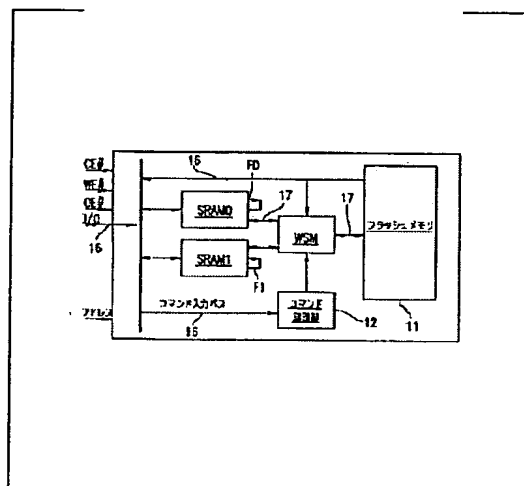
[Go to first matching text](#)

### JP2001357684 A SEMICONDUCTOR STORAGE DEVICE SHARP CORP

#### Abstract:

**PROBLEM TO BE SOLVED:** To reduce chip area by dispensing with a standby time in writing data and dispensing with a SRAM externally attached, in an external connection device such as a CPU or the like. **SOLUTION:**

This device is provided with a SRAM0 and a SRAM1 being a pair of SRAM array, in the SRAM0 and the SRAM1, read-out and write-in of data can be performed for an external CPU from/in the SRAM0 and the SRAM1 by an I/O pin. Flash memory array 11 is provided on the same chip as each SRAM0 and SRAM1 so as to be able to operate independent of the SRAM0 and the SRAM1. Data transfer can be performed mutually by a write-state-machine WSM among each SRAM0 and SRAM1, and the flash memory array 11.



[Click here for larger image.](#)

#### Inventor(s):

TAKADA SHIGEKAZU  
FUKUI YOKO  
SUMITANI KEN

**Application No.** 2000176182 JP2000176182 JP, **Filed** 20000612, **A1**  
**Published** 20011226

**Int'l Class:** G11C01604  
G11C01141

#### Patents Citing This One (2):

→ US6549475 B2 20030415 Sharp Kabushiki Kaisha  
Semiconductor memory device and information device

**BEST AVAILABLE COPY**

→ US6785185 B2 20040831 Sharp Kabushiki Kaisha  
Semiconductor memory device, information  
apparatus, and method for determining access period  
for semiconductor memory device



For further information, please contact:  
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-357684

(P2001-357684A)

(43) 公開日 平成13年12月26日 (2001. 12. 26)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	データベース* (参考)
G 1 1 C 16/04		C 1 1 C 17/00	6 2 5 5 B 0 1 5
11/41		11/34	Z 5 B 0 2 5

審査請求 未請求 請求項の数32 O L (全 24 頁)

(21) 出願番号 特願2000-176182 (P2000-176182)

(22) 出願日 平成12年6月12日 (2000. 6. 12)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 高田 栄和

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 福井 陽康

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100078282

弁理士 山本 秀策

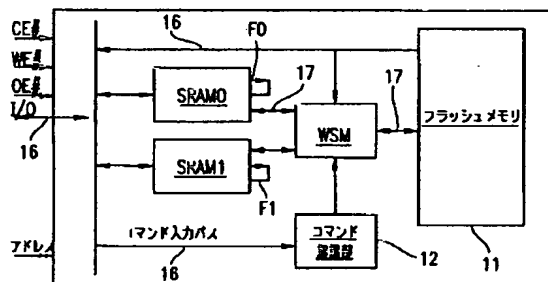
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 CPU等の外部接続装置において、データを書き込む際の待機時間が不要になるとともに、外付けSRAMが不要になって、チップ面積を小さくすることができる

【解決手段】 一対のSRAMアレイドであるSRAM0およびSRAM1が設けられており、SRAM0およびSRAM1が、外部CPUに対して、I/Oピンによって、データの読み出しおよび書き込みが可能になっている。各SRAM0およびSRAM1と同一チップ上に、フラッシュメモリアレイ11が、各SRAM0およびSRAM1とは独立して動作可能に設けられている。各SRAM0およびSRAM1とフラッシュメモリアレイ11とは、ライトステートマシンWSMによって、相互にデータ転送可能になっている。



## 【特許請求の範囲】

【請求項1】 複数の揮発性半導体記憶素子によってそれぞれ構成されており、外部接続装置に対して入出力ピンによって、データの読み出しおよび書き込みが可能になった複数の第1メモリアレイと、

各第1メモリアレイとは独立して動作可能に設けられており、不揮発性半導体記憶素子によって構成された少なくとも1つのブロックを有する第2のメモリアレイと、前記各第1メモリアレイと前記第2メモリアレイとの間にて相互にデータを転送するデータ転送手段と、を具備することを特徴とする半導体記憶装置。

【請求項2】 前記各第1メモリアレイ、第2メモリアレイ、および前記データ転送手段は、同一チップ上に設けられている請求項1に記載の半導体記憶装置。

【請求項3】 請求項1または2に記載された半導体記憶装置において、前記第1メモリアレイが、揮発性半導体記憶素子に代えて高速動作可能な不揮発性半導体記憶素子によって構成されていることを特徴とする半導体記憶装置。

【請求項4】 前記第1メモリアレイは、それぞれ、前記第2メモリアレイとデータ転送中に、外部接続装置によって、データの読み出しおよび書き換えができる請求項1または3に記載の半導体記憶装置。

【請求項5】 前記第2メモリアレイは、前記いずれかの第1メモリアレイとデータ転送中に、外部接続装置によって、データの読み出し、書き込み、消去ができる請求項1または3に記載の半導体記憶装置。

【請求項6】 前記第1メモリアレイに対するアクセスが、前記第2メモリアレイに対するアクセスに用いるコマンドによって実施される請求項1または3に記載の半導体記憶装置。

【請求項7】 前記データ転送手段は、前記各第1メモリアレイにおける任意のアドレスのデータを前記第2メモリアレイの任意のアドレスに転送するとともに、前記第2メモリアレイにおける任意のアドレスのデータを前記第1メモリアレイの任意のアドレスに転送する請求項1または3に記載の半導体記憶装置。

【請求項8】 前記データ転送手段は、前記各第1メモリアレイにおける任意の領域のデータを前記第2メモリアレイの任意の領域に転送できるとともに、前記第2メモリアレイの任意の領域のデータをいずれかの第1メモリアレイの任意の領域に転送することができる請求項1または3に記載の半導体記憶装置。

【請求項9】 前記データ転送手段は、前記各第1メモリアレイにおける全てのデータを、前記第2メモリアレイの任意の領域にそれぞれ転送できるとともに、前記各第1メモリアレイの全ての領域に書き込まれるデータ量に相当するデータを、各第1メモリアレイにそれぞれ転送することができる請求項1または3に記載の半導体記憶装置。

【請求項10】 前記データ転送手段は、第1メモリアレイおよび第2メモリアレイにおける転送先のアドレスのデータと転送元のアドレスのデータとを比較して、転送先のアドレスのデータと転送元のアドレスのデータとが一致する場合にデータを転送せず、データが異なる場合にデータを転送する請求項1または3に記載の半導体記憶装置。

【請求項11】 前記データ転送手段によって第2メモリアレイとの間でデータ転送されている第1メモリアレイ以外の第1のメモリアレイが、外部接続装置によってアクセス可能である請求項4に記載の半導体記憶装置。

【請求項12】 前記データ転送手段によって第2メモリアレイとの間でデータ転送されている第1メモリアレイは、外部接続装置からのアクセスが禁止される請求項11に記載の半導体記憶装置。

【請求項13】 前記データ転送手段によって第2メモリアレイとの間でデータ転送されている第1メモリアレイは、外部接続装置からのアクセスによって、第2メモリアレイとの間のデータ転送を一時中断して、外部接続装置によってアクセスされ、外部接続装置によるアクセスが終了した後に、第2メモリアレイとの間でのデータ転送が再開される請求項11に記載の半導体記憶装置。

【請求項14】 外部接続装置により、前記第2メモリアレイのいずれかのブロックのデータが消去されている間、または、第2メモリアレイへの書き込みを実行している間は、前記第1メモリアレイは、外部接続装置からのアクセスが可能である請求項5に記載の半導体記憶装置。

【請求項15】 少なくとも1つの第1メモリアレイのサイズが、第2メモリアレイにおいてデータが一括消去されるブロック単位に等しいサイズ、または倍数あるいは整数分の1のサイズに構成されている請求項1または3に記載の半導体記憶装置。

【請求項16】 入力されたアドレスに対応するメモリ空間が、第1メモリアレイおよび第2メモリアレイにおいてそれぞれ独立しており、第1メモリアレイおよび第2メモリアレイに対するメモリ空間に対するアクセスが、同一の制御端子によって行われる請求項1または3に記載の半導体記憶装置。

【請求項17】 入力されたアドレスに対応するメモリ空間が第1メモリアレイおよび第2メモリアレイにおいて同一の空間に存在しており、第1メモリアレイのメモリ空間に対するアクセスと第2メモリアレイのメモリ空間に対するアクセスとが異なる制御端子によって行われる請求項1または3に記載の半導体記憶装置。

【請求項18】 第1メモリアレイのメモリ空間に対するアクセスと、第2メモリアレイのメモリ空間に対するアクセスとが、1本の制御端子による場合と、2本以上の制御端子による場合とに切り換えられる請求項17に記載の半導体記憶装置。

【請求項19】 前記第2メモリアレイは、データの書き換え動作および読み出し動作をそれぞれ独立して実行可能な複数のバンクを有しており、各バンクと各第1メモリアレイとが、前記データ転送手段によって、相互にデータ転送可能である請求項1または3に記載の半導体記憶装置。

【請求項20】 前記第2メモリアレイにおけるバンクと、いずれかの第1メモリアレイとの間で相互にデータ転送中に、外部接続装置によって、各第1メモリアレイからのデータの読み出し、各第1メモリアレイへのデータの書き込み、および第2メモリアレイにおけるデータ転送に使用されていないバンクからのデータの読み出しができる請求項19に記載の半導体記憶装置。

【請求項21】 前記第2メモリアレイにおけるいずれかのバンク内のデータを消去している間、または、外部接続装置により、第2メモリアレイのいずれかのバンクに対して書き込みを実行している間に、外部接続装置によって、各第1メモリアレイからのデータの読み出し、各第1メモリアレイへのデータの書き込みが可能であり、また第2メモリアレイにおけるデータの消去または書き込みを実行していないバンクからのデータの読み出しが可能である請求項1または3に記載の半導体記憶装置。

【請求項22】 前記第1メモリアレイの少なくとも1つは、全てのデータを特定の値にリセットできる請求項1または3に記載の半導体記憶装置。

【請求項23】 前記第1メモリアレイは、第2メモリアレイにおいてデータ消去完了後のセルに等しい値にリセットできる請求項22に記載の半導体記憶装置。

【請求項24】 前記第1メモリアレイのデータを第2メモリアレイに転送する際に、その第1メモリアレイが、データを転送された後にリセットできる請求項22に記載の半導体記憶装置。

【請求項25】 前記第1メモリアレイの少なくとも1つは、データの書き換えが不可能にできる請求項1または3に記載の半導体記憶装置。

【請求項26】 前記データ転送手段は、電源投入時、または、消費電流を削減して初期状態とするパワーダウンから通常の使用状態への復帰時に、前記第2メモリアレイ内の任意の領域のデータを、いずれかの第1メモリアレイの任意の領域に転送する請求項1または3に記載の半導体記憶装置。

【請求項27】 前記第1メモリアレイは、第2メモリアレイからデータが転送されると、データの書き換えが不可能にできる請求項26に記載の半導体記憶装置。

【請求項28】 前記第1メモリアレイまたは第2メモリアレイに対する外部接続装置のアクセスが、クロック信号に同期して行われる請求項1または3に記載の半導体記憶装置。

【請求項29】 前記いずれかの第1メモリアレイと第

2メモリアレイとの間でのデータの転送状況が外部接続装置に出力される請求項1または3に記載の半導体記憶装置。

【請求項30】 データの入出力に使用される、あらかじめ決められたバス幅をもつ入出力データバスを、第1メモリアレイまたは第2メモリアレイが各々個別に使用する場合、あるいは、第1メモリアレイおよび第2メモリアレイが使用する場合に切り換えられる請求項1または3に記載の半導体記憶装置。

【請求項31】 前記第1メモリアレイまたは第2メモリアレイが使用できる入出力データバスの前記切り換えが、外部接続装置に接続された制御端子、または、あらかじめ定められたコマンドによって切り換えられる請求項30に記載の半導体記憶装置。

【請求項32】 前記各第1メモリアレイと第2メモリアレイとの間でのデータ転送に使用されるデータバスのバス幅が、入出力データバスのバス幅よりも大きくなっている請求項1または3に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に関する。

【0002】

【従来の技術】不揮発性メモリは、電源を切っても、メモリセルに記憶されたデータが消えないという特徴を有しており、DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory) 等の揮発性メモリのように、電源を切ると記憶されているデータが保持されないメモリとは異なっている。不揮発性メモリとしては、現在、携帯電話等において多用されているフラッシュメモリ (EEPROM)、ICカード等において使用されているFRAM (強誘電体メモリ)、さらに開発が活発化してきているMRAM (磁気メモリ) 等がある。

【0003】図1は、不揮発性半導体記憶装置に使用されるフラッシュメモリセルの構成を示す模式図である。このフラッシュメモリセル1は、コントロールゲート2と、フローティングゲート3と、ソース4およびドレイン5とを有しており、フローティングゲート3に注入される電子量により、「1」および「0」のいずれかのデータが記憶される。このようなフラッシュメモリセル1が、 $m \times n$ 個のマトリックス状に配置されて構成された複数のブロックが、相互に接続されることによって、不揮発性半導体記憶装置としてのフラッシュメモリアレイが構成されている。

【0004】図2は、フラッシュメモリセルにおける一対のブロックの構成を示す。各ブロックは、所定方向に配列された $n$ 個のフラッシュメモリセル1の各コントロールゲート2が、 $m$ 本のワード線 $WL1 \sim WLm$ にそれ

それぞれ接続されており、 $m$ 個のフラッシュメモリセル1の各ドレイン5が、 $n$ 本のビット線BL1~BL2に、それぞれ接続されている。BLK1およびBLK2の各ブロックにおいて、全てのフラッシュメモリセル1は、共通の1本のソースSに接続されている。

【0005】このように、フラッシュメモリアレイを構成するブロックは、各フラッシュメモリセルのソースSが共通になっているという構造上の特徴を有しているために、フラッシュメモリセル1に記憶されたデータは、ブロック単位毎に一括して消去され、1つのフラッシュメモリセル1ごと、すなわち、1ビットごとにデータを消去することはできない。

【0006】次に、フラッシュメモリセル1によって構成されたフラッシュメモリアレイによるデータの読み出し、書き込み、消去、それぞれの機能動作について簡単に説明する。フラッシュメモリセル1に記憶されたデータを読み出す場合には、制御信号、アドレス信号等からなる読み出し信号が、フラッシュメモリアレイに接続された外部接続装置である中央演算処理装置(CPU)等から与えられると、コントロールゲート2に、例えば5Vの高電圧が印加され、ドレイン5に、例えば1Vの低電圧、ソース4に、例えば0Vの低電圧が印加される。この時に、ソース4-ドレイン5間に流れる電流の大きさをセンスアンプによって比較し、データの「1」及び「0」の判定を行う。そして、フラッシュメモリセル1から読み出されたデータを外部へ出力することにより、データの読み出し動作が完了する。

【0007】フラッシュメモリアレイによるデータの書き込み動作は次のように行われる。フラッシュメモリアレイに対して、外部接続装置であるCPU等から制御信号及びアドレス信号と、データとが与えられると、コントロールゲート2に例えば12Vの高電圧、ドレイン5に例えば7Vの高電圧、ソース4に例えば0Vの低電圧が印加される。これにより、ドレイン5の接合部近傍にて発生したホットエレクトロンが、コントロールゲート2に印加された高電圧によって、フローティングゲート3に注入される。その後、書き込み状態をオフにして、ベリファイ動作を行う。データが書き込まれたフラッシュメモリセル1が、ベリファイ動作成功の場合には、書き込み完了となる。ベリファイ動作失敗の場合には、再び書き込みを行ってベリファイ動作を行う。このベリファイ動作が失敗の場合には、所定の回数にわたってデータの書き込みおよびベリファイ動作を実施し、ベリファイ動作成功でない場合には、CPU等へ書き込みエラーのステータスを出力する。

【0008】最後に、フラッシュメモリアレイにおけるデータの消去動作について説明する。データの消去は、ブロック単位で行われる。制御信号、ブロックアドレス、および消去コマンドがフラッシュメモリに対してCPU等から与えられると、コントロールゲート2に例え

ば-10Vの低電圧が印加され、ドレイン5がフローティングされ、さらに、ソース4には例えば6Vの高電圧が印加される。このような電圧印加状態とすることにより、フローティングゲート3-ソース4間に高電界が発生し、トンネル現象を利用してフローティングゲート2内の電子をソースに引き抜くことができ、データが消去される。

【0009】その後、データ消去状態をオフにして、データの書き込み時と同様にベリファイ動作を行う。データ消去信号が与えられたブロックのすべてのフラッシュメモリセル1がベリファイ動作成功の場合には、データの消去は完了する。ベリファイ失敗の場合には、再びデータの消去動作を行って、ベリファイ動作を行う。このデータ消去動作およびベリファイ動作を所定の回数にわたって実施し、ベリファイ動作失敗の場合には、CPU等に対して、イレースエラーのステータスを出力する。

【0010】一般に、フラッシュメモリアレイは、データの読み出し動作と、ベリファイ動作を含めたデータの書き込み動作と、ベリファイ動作を含めたデータの消去動作のそれぞれの動作速度は、データの読み出し動作、ベリファイ動作を含めたデータの書き込み動作、ベリファイ動作を含めたデータの消去動作の順に遅くなっており、データの読み出し動作には約100ns程度、ベリファイ動作を含めたデータの書き込み動作には約30μs程度、ベリファイ動作を含めたデータの消去動作には約500msの時間をそれぞれ必要とする。このように、フラッシュメモリアレイは、データの読み出しに対して、データの書き込みおよび消去は、けた違いに長時間を必要とする。

【0011】これに対して、DRAM、SRAM等に代表される揮発性半導体記憶装置は、電源を切ると、記憶しているデータが失われるという欠点を有しているが、データの書き込み動作に必要な時間は、データの読み出し時間とほぼ等しいという特徴があり、例えばSRAMでは、約100ns程度の時間でデータの読み出し動作および書き込み動作がそれぞれ終了する。このように、SRAMは、フラッシュメモリアレイのデータの書き込み時間および消去時間に比べて、格段に短い時間でデータの書き換えが可能である。

【0012】SRAMの代表的なメモリセルを図3に示す。SRAMメモリセル6は、一対のスイッチ用トランジスタ7と、一対のインバータ8とを組合せて構成されている。このようなSRAMメモリセル6の読み出し動作について説明する。SRAMメモリセル6の読み出し動作は、アドレスによって選択されたワード線WLにバースを印加して、いずれかのスイッチ用トランジスタ7をオンさせる。この時に、BIT端子およびBIT#端子の電圧の大きさをセンスアンプによって比較し、データの「1」及び「0」の判定を行う。そして、メモリセルからの読み出しデータを外部のCPU等へ出力すること

により、データの読み出し動作が完了する。

【0013】SRAMメモリセル6へデータを書き込む際には、データの読み出し動作と同様、アドレスによって選択されたワード線WLにパルスを印加して、いずれかのスイッチ用トランジスタ7をオンさせる。このとき、BIT端子およびBIT#端子の一方に高電圧、他方に低電圧を印加することにより、ノードN1およびN2にそれぞれ電圧を与え、その組み合わせにより2進のデータ書き込みを行う。

【0014】外部接続装置である中央演算処理装置(CPU)がデータを処理する場合、データの書き込み動作に時間がかかるフラッシュメモリは、データ書き込み時にCPUの待機時間が長くなり、多数のデータを書き込む場合には、データの書き込みに必要な時間の間、CPUは、他の処理をすることができなくなる。

【0015】このために、一旦、データをページバッファと呼ばれる書き込み時間の短いSRAM等の揮発性半導体記憶装置内に書き込み、一括してフラッシュメモリへ転送するような機能を有する半導体記憶装置を実現することにより、見かけ上、データの書き込み時間を短縮する方法が提案されている。このような半導体記憶装置では、CPUは、フラッシュメモリに対してデータの書き込み動作を実施する必要がなく、その結果、CPUは、他の処理を実施することができる時間的余裕が生じる。

【0016】特開平11-85609号公報には、ページバッファ技術において、データをフラッシュメモリへ転送する際のオーバーヘッドを減少させて、データ転送速度の低下を抑制できる半導体記憶装置が開示されており、また、特開平10-283768号公報には、同様に、ページバッファ技術において、データのライトアクセスに対して高速化できる半導体記憶装置が開示されている。

【0017】

【発明が解決しようとする課題】このように、外部接続装置であるCPUがデータを処理する場合、データの書き込み動作に時間を要するフラッシュメモリでは、データの書き込みに際してCPUの待機時間が長くなり、多数のデータをフラッシュメモリに書き込む場合、書き込みに必要な長時間にわたって、CPUは他の処理を実施することができない。従来のページバッファを用いたデータの書き込み動作では、ページバッファにデータを一旦格納し、ページバッファからフラッシュメモリへ一括してデータを転送している。このような方法により、フラッシュメモリへのデータ書き込み時におけるCPUの待機時間を不要とし、見掛け上、フラッシュメモリへのデータ書き込み時間の短縮を図っている。

【0018】しかし、ページバッファからフラッシュメモリアレイに対してデータの転送中には、次のデータをページバッファへ書き込むこと、および、ページバッファからデータを読み出すことはできない。従って、ペー

ジバッファは、一時的にデータを保存するためのワーク等として使用することができない。

【0019】このような問題を解決するために、外付けのSRAMを設けて、外付けSRAMによって、データを一時的に保存することが行われている。しかしながら、この場合には、高速での書き込みを行う必要があるデータ量が増大すると、データを一時的に保存するための外付けSRAMの必要容量が大きくなるという問題が発生している。

【0020】また、フラッシュメモリに対してデータ書き換え動作を行う場合、データ消去動作と書き込み動作とを同時に行うことができないために、データを書き込むブロックを消去した後に、データが消去されたブロックに対して、順次、データを書き込む必要があり、時間がかかるおそれがある。

【0021】さらに、前述したページバッファを有するデバイスであっても、フラッシュメモリに格納されているデータをページバッファに転送する機能を有していない。

【0022】本発明は、このような問題を解決するものであり、その目的は、CPU等の外部接続装置において、データを書き込む際の待機時間を不要とし、しかも、外付けSRAMを必要とせず、チップ面積を小さくすることができる半導体記憶装置を提供することにある。

【0023】

【課題を解決するための手段】本発明の半導体記憶装置は、複数の揮発性半導体記憶素子によってそれぞれ構成されており、外部接続装置に対して入出力ピンによって、データの読み出しおよび書き込みが可能になった複数の第1メモリアレイと、各第1メモリアレイとは独立して動作可能に設けられており、不揮発性半導体記憶素子によって構成された少なくとも1つのブロックを有する第2のメモリアレイと、前記各第1メモリアレイと前記第2メモリアレイとの間に相互にデータを転送するデータ転送手段と、を具備することを特徴とする。

【0024】前記各第1メモリアレイ、前記第2メモリアレイ、および前記データ転送手段は同一チップ上に設けられている。

【0025】また、本発明の半導体記憶装置は、前記第1メモリアレイが、揮発性半導体記憶素子に代えて高速動作可能な不揮発性半導体記憶素子によって構成されていることを特徴とする。

【0026】前記各第1メモリアレイは、それぞれ、前記第2メモリアレイとデータ転送中に、外部接続装置によって、データの読み出しおよび書き換えができる。

【0027】前記第2メモリアレイは、前記いずれかの第1メモリアレイとデータ転送中に、外部接続装置によって、データの読み出し、書き込み、消去ができる。

【0028】前記第1メモリアレイに対するアクセス

が、前記第2メモリアレイに対するアクセスに用いるコマンドによって実施される。

【0029】前記データ転送手段は、前記各第1メモリアレイにおける任意のアドレスのデータを前記第2メモリアレイの任意のアドレスに転送するとともに、前記第2メモリアレイにおける任意のアドレスのデータを前記第1メモリアレイの任意のアドレスに転送する。

【0030】前記データ転送手段は、前記各第1メモリアレイにおける任意の領域のデータを前記第2メモリアレイの任意の領域に転送することができるとともに、前記第2メモリアレイの任意の領域のデータをいずれかの第1メモリアレイの任意の領域に転送することができる。

【0031】前記データ転送手段は、前記各第1メモリアレイにおける全てのデータを、前記第2メモリアレイの任意の領域にそれぞれ転送することができるとともに、前記各第1メモリアレイの全ての領域に書き込まれるデータ量に相当するデータを、各第1メモリアレイにそれぞれ転送することができる。

【0032】前記データ転送手段は、第1メモリアレイおよび第2メモリアレイにおける転送先のアドレスのデータと転送元のアドレスのデータとを比較して、転送先のアドレスのデータと転送元のアドレスのデータとが一致する場合にデータを転送せず、データが異なる場合にデータを転送する。

【0033】前記データ転送手段によって第2メモリアレイとの間でデータ転送されている第1メモリアレイ以外の第1のメモリアレイが、外部接続装置によってアクセス可能である。

【0034】前記データ転送手段によって第2メモリアレイとの間でデータ転送されている第1メモリアレイは、外部接続装置からのアクセスが禁止される。

【0035】前記データ転送手段によって第2メモリアレイとの間でデータ転送されている第1メモリアレイは、外部接続装置からのアクセスによって、第2メモリアレイとの間のデータ転送を一時中断して、外部接続装置によってアクセスされ、外部接続装置によるアクセスが終了した後に、第2メモリアレイとの間でのデータ転送が再開される。

【0036】外部接続装置により、前記第2メモリアレイのいずれかのブロックのデータが消去されている間、または、第2メモリアレイへの書き込みを実行している間は、前記第1メモリアレイは、外部接続装置からのアクセスが可能である。

【0037】少なくとも1つの第1メモリアレイのサイズが、第2メモリアレイにおいてデータが一括消去されるブロック単位に等しいサイズ、または倍数あるいは整数分の1のサイズに構成されている。

【0038】入力されたアドレスに対応するメモリ空間が、第1メモリアレイおよび第2メモリアレイにおいて

それぞれ独立しており、第1メモリアレイおよび第2メモリアレイに対するメモリ空間に対するアクセスが、同一の制御端子によって行われる。

【0039】入力されたアドレスに対応するメモリ空間が第1メモリアレイおよび第2メモリアレイにおいて同一の空間に存在しており、第1メモリアレイのメモリ空間に対するアクセスと第2メモリアレイのメモリ空間に対するアクセスとが異なる制御端子によって行われる。

【0040】第1メモリアレイのメモリ空間に対するアクセスと、第2メモリアレイのメモリ空間に対するアクセスとが、1本の制御端子による場合と、2本以上の制御端子による場合とに切り換えられる。

【0041】前記第2メモリアレイは、データの書き換え動作および読み出し動作をそれぞれ独立して実行可能な複数のバンクを有しており、各バンクと各第1メモリアレイとが、前記データ転送手段によって、相互にデータ転送可能である。

【0042】前記第2メモリアレイにおけるバンクと、いずれかの第1メモリアレイとの間で相互にデータ転送中に、外部接続装置によって、各第1メモリアレイからのデータの読み出し、各第1メモリアレイへのデータの書き込み、および第2メモリアレイにおけるデータ転送に使用されていないバンクからのデータの読み出しができる。

【0043】前記第2メモリアレイにおけるいずれかのバンク内のデータを消去している間、または、外部接続装置により、第2メモリアレイのいずれかのバンクに対して書き込みを実行している間に、外部接続装置によって、各第1メモリアレイからのデータの読み出し、各第1メモリアレイへのデータの書き込みが可能であり、また第2メモリアレイにおけるデータの消去または書き込みを実行していないバンクからのデータの読み出しが可能である。

【0044】前記第1メモリアレイの少なくとも1つは、全てのデータを特定の値にリセットできる。

【0045】前記第1メモリアレイは、第2メモリアレイにおいてデータ消去完了後のセルに等しい値にリセットできる。

【0046】前記第1メモリアレイのデータを第2メモリアレイに転送する際に、その第1メモリアレイが、データを転送された後にリセットできる。

【0047】前記第1メモリアレイの少なくとも1つは、データの書き換えが不可能にできる。

【0048】前記データ転送手段は、電源投入時、または、消費電流を削減して初期状態とするパワーダウンから通常の使用状態への復帰時に、前記第2メモリアレイ内の任意の領域のデータを、いずれかの第1メモリアレイの任意の領域に転送する。

【0049】前記第1メモリアレイは、第2メモリアレイからデータが転送されると、データの書き換えが不可



能にできる。

【0050】前記第1メモリアレイまたは第2メモリアレイに対する外部接続装置のアクセスが、クロック信号に同期して行われる。

【0051】前記いずれかの第1メモリアレイと第2メモリアレイとの間でのデータの転送状況が外部接続装置に出力される。データの入出力に使用される、あらかじめ決められたバス幅をもつ入出力データバスを、第1メモリアレイまたは第2メモリアレイが各々個別に使用する場合、あるいは、第1メモリアレイおよび第2メモリアレイが使用する場合に切り換えられる。

【0052】前記第1メモリアレイまたは第2メモリアレイが使用できる入出力データバスの前記切り換えが、外部接続装置に接続された制御端子、または、あらかじめ定められたコマンドによって切り換えられる。

【0053】前記各第1メモリアレイと第2メモリアレイとの間でのデータ転送に使用されるデータバスのバス幅が、入出力データバスのバス幅よりも大きくなっている。

【0054】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。図4は、本発明の半導体記憶装置の実施の形態の一例を示す概略構成図である。

【0055】図4に示す本発明の半導体記憶装置は、それぞれが独立して、データの読み出しおよび書き込み動作が可能な揮発性半導体記憶素子のSRAMアレィによって構成されたSRAM0およびSRAM1と、不揮発性半導体記憶素子からなるフラッシュメモリによって構成されたフラッシュメモリアレイ11と、このフラッシュメモリアレイ11と各SRAM0およびSRAM1との間でデータを転送させるライトステートマシンWSMと、外部接続装置である外部CPU（中央演算処理装置）からのコマンドを認識するコマンド認識部12とを有している。SRAM0およびSRAM1とフラッシュメモリアレイ11とは同一のチップ上に設けられている。

【0056】ライトステートマシンWSMは、フラッシュメモリアレイ11と各SRAM0およびSRAM1との間でのデータ転送に際して、SRAM0およびSRAM1からのデータの読み出し、SRAM1およびSRAM0へのデータ書き込み、フラッシュメモリアレイ11からのデータの読み出し、フラッシュメモリアレイ11へのデータの書き込み、および、外部接続装置であるCPUの動作命令を受けたデータの書き込み動作、消去動作等を制御する。コマンド認識部12は、各SRAM0およびSRAM1がデータ転送状況を示すフラグF1およびF2を出力するためのコマンド等、外部CPUからのコマンドを認識する。

【0057】外部CPUと半導体記憶装置との間のデータ伝送等は、I/O（入出力）ピンに接続された入出力

用データバス16によって行われ、また、各SRAM0およびSRAM1とライトステートマシンWSMとの間のデータ伝送、ライトステートマシンWSMとフラッシュメモリアレイ11との間のデータ伝送、コマンド入力の伝送等は、内部転送用データバス17によって行われる。

【0058】SRAM0およびSRAM1は、それぞれが独立して、データの読み出しおよび書き込み動作が可能であり、外部CPUによってアクセスする場合には、CE#ピンから入力されるチップイネーブルCE#と、そのときに入力されるアドレスとの組合せ論理によって、また、データ転送の場合には内部制御回路によって、データの書き込みおよび読み出しが実施される。

【0059】本実施形態の半導体記憶装置では、独立して動作する一对のSRAM0およびSRAM1が設けられているが、3つ以上のSRAMアレィを設ける構成としてもよく、この場合には、各SRAMアレィに対して、よりフレキシブルにデータを格納することができる。また、本実施形態では、不揮発性半導体記憶素子のメモリアレイ11としてフラッシュメモリ（EEPROM）を使用する構成について説明しているが、EPROMなど他の不揮発性半導体記憶素子によって構成されたメモリアレイを使用してもよい。さらに、本実施形態では、揮発性半導体記憶素子からなるメモリアレイとしてSRAMアレィを使用しているが、DRAMなど他の揮発性半導体記憶素子からなるメモリアレイを使用してもよい。

【0060】本実施の形態の半導体記憶装置では、図5に示すように、メモリマップにおいて、SRAM0およびSRAM1とフラッシュメモリアレイ11とが別のメモリ空間に存在しており、外部CPUからのSRAM0およびSRAM1とフラッシュメモリアレイ11のアクセスは、共通の制御端子である1本のCE#ピンに入力されるチップイネーブルCE#と、アドレスピンから入力されるアドレスとの組み合わせ論理によって行われる。

【0061】例えば、外部CPUによってSRAM0およびSRAM1のデータを読み出す場合には、図5に示すように、SRAM0およびSRAM1のアドレス「200000」～「20FFFF」をアドレスピンから入力して、CE#ピンおよびOE#ピンを操作することにより、SRAM0およびSRAM1のアドレスにアクセスする。

【0062】このように、入力されるアドレスにより、自動的にアクセス対象のメモリアレイを選択することができるために、1本のCE#ピンによって、外部CPUからSRAM0およびSRAM1と、フラッシュメモリアレイ11とにそれぞれアクセスすることができる。

【0063】このような構成の半導体記憶装置の動作について、以下に説明する。まず、外部CPUから入力さ

れるデータをSRAMアレイに保存する場合について、つまり、図6に示すように、SRAM0にデータを書き込む例を説明する。図7は、その場合のSRAM0へのデータを書き込むコマンドの一例を示すタイミングチャートである。

【0064】図7に示すように、入出力ピンであるI/Oピンおよび入出力用データバス16を通して入力される書き込みデータ「Write Data」およびアドレス「SRAM0アドレス」が書き込み動作として外部CPUから発行されると、チップイネーブルCE#およびライトイネーブルWE#のローレベルによって、書き込みデータ「Write Data」が、「SRAM0アドレス」として指定されたSRAM0のアドレスに書き込まれる。いくつかのデータを連続して書き込む場合には、この書き込み動作を順次繰り返し実行することによって実現される。

【0065】I/Oピンに接続された入出力用データバス16としては、通常、バス幅が16ビットもしくは8ビットのものが使用されているために、この場合のデータの書き込み動作は、100ns程度の書き込みサイクルタイムの間に、16ビットもしくは8ビットのデータを、SRAM0に書き込むことができる。

【0066】このように、先頭のデータ書き込みの設定アドレスが、SRAMアレイであるSRAM0になっているため、SRAM0の設定アドレスに対するデータの書き込み動作であることを判別することができる。

【0067】また、図7に示すような書き込み方法に代えて、図8に示すように、フラッシュメモリアレイ11へのデータの転送を前提としてSRAMアレイにデータを書き込むようにしてもよい。この場合には、まず、SRAMアレイを使用したコマンドをフラッシュメモリアレイのアドレスとともに発行し、次のコマンドサイクルにおいて、転送するデータの数をフラッシュメモリアレイ11のアドレスと共に発行する。その後、チップイネーブルCE#およびライトイネーブルWE#の書き込み動作によって、順次、フラッシュメモリアレイ11に転送される際の転送先のアドレスとともに、書き込みデータをSRAMアレイに書き込む。

【0068】この場合、最初のコマンドにおいて、データの書き込みの設定アドレスが、フラッシュメモリアレイ11のアドレスになっているため、コマンド認識部12は、フラッシュメモリ11のアドレスへデータを転送するコマンドであることを判別する。図8に示すデータの書き込み方法では、2番目のコマンドサイクルで宣言したデータ数分のフラッシュメモリアレイ11のアドレスとデータの組が、3番目のコマンドサイクル以降、繰り返し入力されることにより、連続してSRAM0にデータを書き込むことができる。

【0069】SRAMアレイへのデータ書き込みは、100ns程度であり、フラッシュメモリアレイへのデー

タ書き込みに比べて短時間で完了するため、半導体記憶装置に対してデータ書き込みの動作を実行している外部CPUは、SRAMアレイへのデータ書き込みが終了した時点で、他の処理を実施することができる。

【0070】前述したように、フラッシュメモリアレイ11に対して直接データを書き込む場合、フラッシュメモリアレイ11へのデータの書き込みの実行命令を発行した後、次のフラッシュメモリアレイ11へのデータの書き込みを開始するまで、外部CPUには、フラッシュメモリアレイ11への書き込み時間が長いことによって待機時間が生じ、その待機時間によって、外部CPUのオペレーション動作が制限される。このように、フラッシュメモリアレイ11へのデータの書き込み時間が長くなると、外部CPUは、フラッシュメモリアレイ11へのデータの書き込み動作にのみ専念しなければならず、他の処理を実行できない。

【0071】しかしながら、本実施形態の半導体記憶装置では、短時間でデータが書き込まれるSRAMアレイに対してデータを書き込んだ後に、フラッシュメモリアレイ11にデータを転送するために、SRAMアレイに対して短時間でデータを書き込むことができる。その結果、外部CPUは、SRAMアレイに対するデータの書き込みが終了した時点で、他の処理を実行することができる。

【0072】次に、SRAMアレイに保存されているデータを外部CPUによって読み出す場合に関して、図9に示すように、SRAM0からのデータの読み出し例について説明する。図10は、その場合のコマンドの一例を示すタイミングチャートである。

【0073】読み出されるデータは、入出力データ用バス16および入出力ピンであるI/Oピンを通して、外部CPUに出力される。SRAM0に保存されているデータを読み出す場合には、データを読み出すSRAM0のアドレスを設定し、チップイネーブルCE#および出力イネーブルOE#が、それぞれローレベル「L」になることによって、その設定されたアドレスのデータ「Read Data」が読み出される。いくつかのデータをSRAM0から連続して読み出す場合には、この読み出し動作を、順次、繰り返し実行することによって実現される。

【0074】次に、SRAMアレイからフラッシュメモリアレイ11へデータを転送する場合を、図11に示すSRAM0からフラッシュメモリアレイ11へのデータ転送例について説明する。図12は、その場合のSRAM0内の任意のデータを、フラッシュメモリアレイ11へ転送するコマンド入力の一例を示すタイミングチャートである。

【0075】前述したような方法によって、SRAM0へのデータ書き込みが完了した後に、ユーザーが、図12に示すようなデータ転送コマンドを発行すると、半導

体記憶装置内に設けられたライトステートマシンWSMにより、コマンドにて指定されたSRAM0の任意のアドレスからフラッシュメモリアレイ11の任意のアドレスに対してデータの転送が開始される。

【0076】図12に示すコマンドシーケンスにおいて、転送SFコマンドは、SRMアレイからフラッシュメモリアレイへデータ転送するにあたり、その準備をライトステートマシンWSMに行わせるコマンドであり、転送確認コマンドは、コマンド入力シーケンスにおいて、入力されたデータが正しく、転送を開始してもよいかどうかを確認するコマンドである。さらに、フラッシュ転送先スタートアドレスは、データ転送が行われるフラッシュメモリアレイ11の最初のアドレス、SRAM0転送元スタートアドレスおよびSRAM0転送元エンドアドレスは、それぞれ、転送元となるSRAMアレイの転送開始アドレスおよび転送終了アドレスを表す。

【0077】図12に示すコマンドシーケンスを発行した後、まず、ライトステートマシンWSMは、転送元のSRAM0に転送の実行を表すためのフラグF0を立てる。これにより、SRAM0からフラッシュメモリアレイ11にデータの転送処理中であることを判別することが可能になる。

【0078】その後、ライトステートマシンWSMは、コマンドにより入力されたSRAM0の転送を開始する転送元スタートアドレスを設定し、このアドレスに書き込まれているデータを読み出す。次に、読み出されたデータを、転送先となるフラッシュメモリアレイ11の転送先スタートアドレスに、通常の書き込み動作と同様の方法によって書き込む。このようなライトステートマシンWSMによる動作を、転送すべきデータ数に対して、順次繰り返すことにより、SRAM0からフラッシュメモリアレイ11へのデータ転送が実現される。

【0079】このデータ転送動作は、本発明の半導体記憶装置内に設けられたライトステートマシンWSMによって自動的に実行され、SRAM0のデータが、フラッシュメモリアレイ11の任意のアドレスに連続して書き込まれる。このように、半導体記憶装置内のライトステートマシンWSMによって、SRAM0からフラッシュメモリアレイ11へのデータ転送動作を行うことにより、外部CPUには、フラッシュメモリアレイ11に対するデータの書き込み処理を実行する必要がなく、SRAM0からフラッシュメモリアレイ11にデータを転送している間に、他のオペレーションを実行することができる。

【0080】なお、図13に、SRAM0内の全データを、フラッシュメモリアレイ11へ一括して転送するコマンド入力の一例を示す。この場合は、まず、転送SFコマンドと共にフラッシュ転送元スタートアドレスが設定され、次のコマンドサイクルでは、転送確認コマンドとともにSRAM0転送先アドレスが設定される。

【0081】このようなコマンドシーケンスが発行された後に、まず、ライトステートマシンWSMは、転送元のSRAM0に転送の実行を表すためのフラグF0を立てる。その後、ライトステートマシンWSMは、コマンドにより入力されたSRAM0のデータ転送を開始するスタートアドレスを設定し、このアドレスに書かれているデータを読み出す。次に、読み出されたデータを、転送先となるフラッシュメモリアレイ11の転送先スタートアドレスに、通常の書き込み動作と同様の方法によって書き込む。このライトステートマシンWSMによる動作を、転送すべきデータ数に対して順次繰り返すことにより、SRAM0からフラッシュメモリアレイ11へのデータ転送が実現される。

【0082】なお、図12および13に示すタイミングチャートでは、コマンドサイクルを、それぞれ3サイクルおよび2サイクルとしたが、コマンドサイクルの長さは、任意に設定することができる。

【0083】逆に、フラッシュメモリアレイ11からSRAMアレイへデータ転送する場合を、図14に示すフラッシュメモリアレイ11からSRAM0へのデータ転送例について説明する。図15は、フラッシュメモリアレイ11内の任意のデータをSRAM0へ転送する場合のコマンド入力の一例を示すタイミングチャートを示している。

【0084】図15に示す転送FSコマンドは、フラッシュメモリアレイ11からSRAMアレイへデータ転送するにあたり、その準備をライトステートマシンWSMに行わせるコマンドであり、転送確認コマンドは、ここまでのコマンド入力シーケンスにおいて、入力されたデータが正しく、転送を開始してもよいかどうかを確認するコマンドである。さらに、SRAM0転送先スタートアドレスは、データ転送が行われるSRAM0の最初のアドレス、フラッシュ転送元スタートアドレスおよびフラッシュ転送元エンドアドレスは、それぞれ、転送元となるフラッシュメモリアレイ11の転送開始アドレスおよび転送終了アドレスを表す。

【0085】ライトステートマシンWSMは、フラッシュメモリアレイ11の転送開始アドレスから、順次、転送終了アドレスまで、そのアドレス内に属しているデータを、SRAM転送先スタートアドレスを先頭に、順次転送する。

【0086】図15に示すデータ転送コマンドが発行された後に、本発明の半導体記憶装置内に存在するライトステートマシンWSMにより、フラッシュメモリアレイ11の任意のアドレスからSRAM0の任意のアドレスに対してデータの転送が開始される。

【0087】まず、ライトステートマシンWSMは、転送先のSRAM0にデータ転送の実行を表すフラグF0を立てる。これにより、SRAM0に対してデータが転

送中であることを判断することができる。

【0088】その後、ライトステートマシンWSMは、コマンドにより入力されたフラッシュメモリアレイ11の転送を開始する転送元スタートアドレスを設定し、このアドレスに書かれているデータを読み出す。次に、読み出されたデータを転送先となるSRAM0に、通常の書き込み動作と同様の手段によって書き込みを実行する。これら一連の動作を転送すべきデータ分に対して順次繰り返すことにより、フラッシュメモリアレイ11からSRAM0へのデータ転送が実現される。

【0089】図16に、フラッシュメモリアレイ11からSRAM0へデータを一括して転送するコマンド入力の一例を示す。図16に示すようなデータ転送コマンドを発行した後、まず、ライトステートマシンWSMは、転送先のSRAM0にデータ転送の実行を表すためのフラグF0を立てる。その後、ライトステートマシンWSMは、コマンドにより入力されたフラッシュメモリアレイ11の転送を開始するスタートアドレスを設定し、このアドレスに書かれているデータを読み出す。次に、読み出されたデータを、転送先となるSRAM0の転送先スタートアドレスに、通常の書き込み動作と同様の方法によって書き込む。この、ライトステートマシンWSMの動作を、転送すべきデータ数に対して順次繰り返すことにより、フラッシュメモリアレイ11からSRAM0へのデータ転送が実現される。

【0090】なお、図15および図16に示すタイムチャートでは、コマンドサイクルをそれぞれ3サイクルおよび2サイクルとしたが、コマンドサイクルは任意に設定することができる。

【0091】次に、SRAMアレイからフラッシュメモリアレイ11へのデータ転送動作中に実行可能な動作について説明する。

【0092】図17は、SRAM0からフラッシュメモリアレイ11へのデータ転送時において、外部からSRAM1へのデータ書き込む場合のデータの流れを示している。また、図18に、この動作を行うためのタイミングチャートを示す。

【0093】まず、図7に示すタイミングチャートと同様にして、SRAM0のアドレスに対して、データが順次書き込まれると、図13に示すタイミングチャートと同様にして、転送SFコマンドと共に、転送先であるフラッシュメモリアレイ11の最初のデータのアドレスであるフラッシュ転送先スタートアドレスを設定する。そして、次のコマンドサイクルにおいて、転送確認コマンドと共に、転送元のSRAM0における転送されるデータの最初のアドレスである転送元スタートアドレスを設定する。このコマンドシーケンスにより、ライトステートマシンWSMによりSRAM0からフラッシュメモリアレイ11に順次データが転送される。

【0094】このときに、外部CPUは、図7に示すタ

イミングチャートと同様にして、SRAM1のアドレスに対して、データを順次書き込む。この間も、半導体記憶装置内に設けられたライトステートマシンWSMにより、SRAM0からフラッシュメモリアレイ11に対してデータ転送は、順次、実行されている。

【0095】なお、図12に示すように、SRAM0からフラッシュメモリアレイ11に対して、任意の容量のデータを転送する場合も、同様に、そのデータ転送の間、外部CPUからSRAM1に対してアクセス可能である。

【0096】本発明の半導体記憶装置では、完全に独立して動作可能なSRAM0およびSRAM1を有しているため、このように、SRAM0からフラッシュメモリアレイ11へのデータ転送動作中であっても、外部CPUは、他のSRAM1に対してアクセスすることができ、そのSRAM1へのデータの書き込み、および、SRAM1からのデータの読み出しが可能である。

【0097】本発明の半導体記憶装置では、ライトステートマシンWSMによってデータを転送する際に、転送先のデータと転送元のデータとを比較して、同一のデータの場合には、データの転送を実施しないようにすることもできる。この場合のデータの流れを図19に示す。

【0098】例えば、フラッシュメモリアレイ11のデータをSRAM0へ転送する場合について説明する。ライトステートマシンWSMは、データ転送コマンドが発送されると、転送元であるフラッシュメモリアレイ11からデータを読み出すとともに、転送先であるSRAM0のデータも読み出す。そして、両データを比較し、両データが同一の場合には、フラッシュメモリアレイ11から読み出されたデータをSRAM0には転送しない。これに対して、両データが異なる場合には、フラッシュメモリアレイ11から読み出されたデータを、SRAM0に転送して、SRAM0に書き込む。このような動作を、転送されるデータ毎に実施する。

【0099】このように、データ転送先のデータが転送元のデータと一致する場合には、データ転送が実施されないために、データ転送に要する時間を短縮することができる。

【0100】また、SRAM0アレイからフラッシュメモリアレイ11へデータを転送中、あるいは、フラッシュメモリアレイ11からSRAM0にデータを転送中に、転送に使用されるSRAMアレイのデータ転送状況を、ステータスレジスタ、ポーリング等によって、外部CPUに対して出力することもできる。例えば、図19に示すように、SRAM0からフラッシュメモリアレイ11にデータを転送している場合に、SRAM0のデータが転送されていることを示すフラグF0が読み出されて外部CPUに出力される。

【0101】フラグF0の読み出しは、例えば、予め設定されたコマンドを発行して、ステータスレジスタ読み

出しモードとすることにより、SRAM0およびSRAM1におけるデータ転送を示すフラグ情報が、入出力ピンに接続される。そして、CE#ピン、OE#ピン等を操作することによって、フラグ情報が外部CPUに読み出される。SRAM0およびSRAM1のいずれを出力対象とするかは、アドレスピンによるアドレスによって設定される。

【0102】また、SRAMアレレイからフラッシュメモリアレイ11にデータが転送している間に、そのSRAMアレレイに対して外部CPUによって、データの書き込みあるいは読出しのためのアクセスがあった場合には、そのアクセスを禁止するようにしてもよい。図20は、ライトステートマシンWSMによって、SRAM0のデータをフラッシュメモリアレイ11に転送している間に、外部CPUからSRAM0に対してデータの読み出しまたは書き込みを行うアクセス信号が入力されたとき、このアクセス信号をディスイネーブルにして、そのアクセスを禁止する場合のデータの流れを示している。

【0103】この場合、ライトステートマシンWSMは、SRAM0のデータをフラッシュメモリアレイ11に転送していることを示すフラグF0をセットしており、外部CPUからSRAM0に対してデータの読み出しまたは書き込みを行うアクセス信号が入力されると、フラグF0のセット信号と外部CPUからのアクセス信号との組合せ論理によって、外部CPUからSRAM0へのアクセスをハード的に禁止する。これにより、ライトステートマシンWSMは、SRAM0からフラッシュメモリアレイ11へのデータの転送を、中断することなく実施する。

【0104】なお、この場合、外部CPUからSRAM0へのアクセスをハード的に禁止する構成に代えて、コマンドまたは外部制御端子によって、外部CPUからSRAM0へのアクセスを禁止するようにしてもよい。

【0105】また、これとは反対に、SRAMアレレイからフラッシュメモリアレイ11にデータを転送している間に、そのSRAMアレレイに対して外部CPUによって、データの書き込みあるいは読出しのためのアクセスがあった場合には、そのアクセスを優先させるようにしてもよい。図21は、ライトステートマシンWSMによって、SRAM0のデータをフラッシュメモリアレイ11に転送している間に、外部CPUからSRAM0に対してデータの読み出しまたは書き込みを行うアクセス信号が入力された場合に、外部CPUのアクセスを優先させる際のデータの流れを示している。

【0106】この場合、ライトステートマシンWSMは、SRAM0のデータをフラッシュメモリアレイ11に転送していることを示すフラグF0をセットしており、外部CPUからSRAM0に対してデータの読み出しまたは書き込みを行うアクセス信号が入力されると、フラグF0のセット信号と外部CPUからのアクセス信

号との組合せ論理によって、ライトステートマシンWSMに対して、SRAM0からフラッシュメモリアレイ11へのデータの転送を中断させる割りこみ信号が与えられる。これにより、ライトステートマシンWSMは、SRAM0からフラッシュメモリアレイ11へのデータの転送を一時中断し、外部CPUからSRAM0へのアクセスを許可する。

【0107】その後、外部CPUがSRAM0へアクセスして、SRAM0に対するデータの書き込みあるいは読み出しを実行し、外部CPUによるアクセスが終了すると、前記割りこみ信号は、ディスイネーブルになる。これにより、ライトステートマシンWSMは、SRAM0からフラッシュメモリアレイ11へのデータの転送を再開する。

【0108】SRAM0からフラッシュメモリアレイ11へのデータの書き込みは、前述したように、ライトステートマシンWSMにより自動的に実行される。従って、一方のSRAMアレレイからフラッシュメモリアレイへデータ転送中であっても、外部CPUは、他方のSRAMアレレイ（上述の場合にはSRAM1）にデータを書き込むことができるために、外部CPUの動作を制限することがなく、外部CPUの処理能力が向上する。

【0109】なお、この場合、SRAM0からフラッシュメモリアレイ11へのデータの転送の一時的な中断を、ハード的に禁止する構成に代えて、コマンドまたは外部制御端子によって、データの転送を一時中断するようにしてもよい。

【0110】本発明の半導体記憶装置では、さらに、フラッシュメモリアレイ11における1つのブロックのデータを一括して消去するブロックイレース動作中に、I/Oピンを用いて、外部CPUからSRAMアレレイへのデータの書き込み、および、SRAMアレレイに書き込まれたデータの読み出しをするようにしてもよい。図22は、フラッシュメモリアレイ11におけるブロックイレース動作中に、I/Oピンを用いて、外部CPUからSRAM1に対するデータの書き込み動作またはSRAM1のデータを読み出し動作を実行する場合のデータの流れを示している。また、図23は、この場合のコマンドの一例を示すタイミングチャートである。

【0111】この場合、フラッシュメモリアレイ11のブロックのイレースコマンドが発行されると、イレースの対象となるフラッシュメモリアレイ11のブロックのアドレスが、ライトステートマシンWSMに記憶され、ライトステートマシンWSMによって、フラッシュメモリアレイ11のブロックイレースが開始される。

【0112】そして、このように、ライトステートマシンWSMによってフラッシュメモリアレイ11のブロックのデータが消去される間に、前述したように、アドレスピン、I/Oピンを用いて、SRAM1に対して、外部CPUによるデータの読み出しおよび書き込み動作が

実行される。従って、ライトステートマシンWSMによるブロックの消去とSRAMアレイに対するアクセス動作とを同時に実行することができる。

【0113】なお、本発明の半導体記憶装置において、SRAM0、SRAM1のいずれかの容量サイズが、フラッシュメモリアレイ11における一括消去が可能な1つのブロックと同サイズ、あるいは、SRAM0およびSRAM1のそれぞれがフラッシュメモリアレイの倍数サイズ、または、整数分の1のサイズとしてもよい。この場合には、フラッシュメモリアレイ11における1つのブロックに書き込まれたデータの一部を書き換えることが容易になる。

【0114】SRAM0の容量サイズが、フラッシュメモリアレイ11における1つのブロックのサイズと同サイズの場合についてのデータの流れを図24に示す。フラッシュメモリアレイ11における1つのブロックに書き込まれたデータの一部を書き換える場合には、まず、そのブロックのデータの全てを、ライトステートマシンWSMによって、一旦、SRAM0に転送し、データの一時保存を行う。その後、フラッシュメモリアレイ11におけるデータの書き換えを行うブロックのデータを消去する。このデータ消去中に、SRAM0に一時保存したデータに対して、データの書き換えを行う。フラッシュメモリアレイ11のデータ消去が終了すると、その後に、SRAM0に一時保存されたデータの全てを、ライトステートマシンWSMによって、データ消去されたフラッシュメモリアレイ11のブロックに転送する。

【0115】このように、SRAM0の容量サイズが、フラッシュメモリアレイ11における1つのブロックのサイズと同サイズであれば、データをフラッシュメモリアレイ11からSRAM0に転送する場合の転送先アドレスの設定、および、データをSRAM0からフラッシュメモリアレイ11に転送する場合の転送先アドレスの設定が容易にできる。

【0116】また、SRAM0およびSRAM1のそれぞれの容量サイズが、フラッシュメモリアレイにおけるブロックの容量サイズの半分のサイズになっている場合には、各SRAM0およびSRAM1に、フラッシュメモリアレイ11のブロックのデータの半分ずつが、それぞれ一括して転送され、転送後、フラッシュメモリアレイ11におけるデータを書き換えるブロックを消去する。このデータ消去中に、SRAM0およびSRAM1のデータを書き換え、フラッシュメモリアレイ11におけるデータの消去が終了した後に、SRAM0およびSRAM1のデータが、ライトステートマシンWSMによって、それぞれ、一括して、フラッシュメモリアレイ11における1つのブロックに転送される。

【0117】この場合も、データをフラッシュメモリアレイ11からSRAM0に転送する場合の転送先アドレスの設定、および、データをSRAM0からフラッシュメモリアレイ11に転送する場合の転送先アドレスの設定が容易にできる。

11に転送する場合の転送先アドレスの設定が容易にできる。

【0118】本発明の半導体記憶装置としては、図25(a)に示すように、SRAMアレイであるSRAM0およびSRAM1とフラッシュメモリアレイとが同一のメモリ空間に存在して、SRAM0およびSRAM1の制御とフラッシュメモリアレイの制御とを、別々の制御信号によって制御するようにしてもよい。この場合には、図25(b)に示すように、半導体記憶装置には、フラッシュメモリアレイを制御するCE0#ピンと、SRAM0およびSRAM1を制御するCE1#ピンとがそれぞれ設けられ、外部CPUからSRAM0およびSRAM1とフラッシュメモリアレイとのアクセスを、CE0#ピンおよびCE1#ピンを切り換えることによって行われる。

【0119】例えば、SRAM0およびSRAM1と、フラッシュメモリアレイとにおいて、同一のアドレス「000000」が設定されても、例えば、OE#ピンの操作とともに、CE0#ピンからのチップイネーブルにより、フラッシュメモリアレイ11のアドレス「000000」からデータが読み出される。

【0120】このように、SRAMアレイとフラッシュメモリアレイ11とが、CE0#ピンおよびCE1#ピンによって、それぞれ独立して動作可能であるために、SRAMに導入されているデータ保持モード等の機能を使用することが可能である。また、携帯電話等において使用されているSRAMとフラッシュメモリのスタックドパッケージ品とは、端子操作が互換性を有しているために、容易に置き換えることができる。

【0121】図26は、1本のCE0#ピンのみを使用する場合と、CE0#ピンおよびCE1#ピンの2本を使用する場合とに切り換えるチップイネーブル切り換えスイッチ21が設けられた半導体記憶装置を示している。この場合には、1本のCE0#ピンからのイネーブルとアドレスとによって、SRAM0およびSRAM1とフラッシュメモリアレイ11とにそれぞれアクセスする状態と、CE0#ピンからのイネーブルとアドレスとによりフラッシュメモリへアクセスし、かつ、CE1#ピンからのイネーブルとアドレスとによりSRAM0およびSRAM1へのアクセスする状態とにそれぞれ切り換えられる。このような切り換え動作によって、外部CPUを含むシステムに対するマッチングが容易になる。

【0122】なお、チップイネーブル切り換えスイッチ21は、予め設けられた制御端子によって切り換える構成に限らず、あらかじめ設定されたコマンドによって切り換えられるようにしてもよい。

【0123】図27は、本発明の半導体記憶装置の他の例を示す構成図である。この半導体記憶装置では、フラッシュメモリアレイ11が、データの書き込み、データの消去および読み出しを独立して実行可能な2つのバン

クBank 0およびBank 1を有している。なお、フラッシュメモリアレイ 11のバンクは、2つ以上設けるようにしてもよい。

【0124】このように、複数のバンクを有するフラッシュメモリ 11は、特開平 10-144086号公報に開示されているように、一方のバンクに対するデータの書き込み動作または消去動作と並行して、他方のバンクのデータの読み出し動作が実行可能であるため、前述したように、SRAMアレイとフラッシュメモリ 11との間でのデータ転送動作中に可能な動作に加えて、データ転送元、データ転送先になっていないバンクから外部へデータを読み出すことが可能である。図 28は、SRAM 1からフラッシュメモリアレイ 11の一方のバンク Bank 0に対してデータ転送を実行中に、他方のバンク Bank 1のデータを外部に読み出す場合のデータの流れを示している。

【0125】また、このように、複数のバンクを有するフラッシュメモリ 11では、一方のバンクにおけるブロックイレース動作中に、I/Oピンを用いて、外部からSRAMアレイへのアクセスとともに、他方のバンクにおけるデータを外部に読み出すこともできる。図 29は、この場合のデータの流れを示している。

【0126】この場合、フラッシュメモリアレイ 11にブロックイレースコマンドが発行されると、ブロックイレースの対象となるフラッシュメモリアレイ 11の一方のバンク Bank 1におけるブロックアドレスが、ライトステートマシンWSMに記憶され、ライトステートマシンWSMによって、フラッシュメモリアレイ 11におけるバンク Bank 1のブロックイレースが開始される。

【0127】このように、ライトステートマシンWSMによる、フラッシュメモリアレイ 11の一方のバンク Bank 1のブロックイレース中に、前述したように、アドレスピン、I/Oピンを用いて、SRAM 1に対して、外部CPUによるデータの読み出しおよび書き込み動作が実行され、さらには、ブロックイレースの対象になっていない他方のBank 0に書き込まれたデータを、同様に、アドレスピン、I/Oピンを用いて、外部CPUによって読み出すことができる。

【0128】このように、ライトステートマシンWSMによる一方のバンク Bank 1のブロックイレース動作とSRAMアレイに対するアクセス動作と、他方のバンク Bank 0のデータの読出し動作とを同時に実行することができる。

【0129】図 30は、本発明の半導体記憶装置のさらに他の例を示す構成図である。この半導体記憶装置は、SRAMアレイであるSRAM 0およびSRAM 1を構成するSRAMが、それぞれ、所定の値にリセットできるように構成されており、半導体記憶装置のリセットピンRESETに対するリセットイネーブル信号によっ

て、SRAMアレイであるSRAM 0およびSRAM 1がそれぞれ一括してリセットされる。

【0130】図 31は、この半導体記憶装置のSRAM 0およびSRAM 1に使用されるSRAMメモリセルの構成図である。このSRAMメモリセル 6aは、図 3に示すSRAMメモリセル 6において、一方のスイッチトランジスタ 7と一对のインバータ 8との接続点に、さらに、リセット用トランジスタ 9が接続されており、そのリセット用トランジスタ 9のコントロールゲートが、リセットイネーブルRESETが入力されるリセットイネーブルノードになっている。そして、リセットイネーブルノードがハイレベル「H」になることにより、SRAMメモリセル 6aは、リセットされる。

【0131】SRAM 0およびSRAM 1に使用される全てのSRAMメモリセル 6aのリセット端子は、図 30に示すように、一括して半導体記憶装置のRESETピンに接続されている。RESETピンは、通常、ローレベル「L」にセットされており、ハイレベルのリセットイネーブル信号によって、SRAM 0およびSRAM 1は、一括して、所定の状態にリセットすることができる。リセットされたSRAM 0およびSRAM 1は、RESETピンがローレベル「L」になることによりリセット解除状態になる。

【0132】このような構成の半導体記憶装置では、リセットイネーブルノードをハイレベル「H」とし、SRAM 0およびSRAM 1内のそれぞれの内容を全て所定の状態に一括して設定することができる。従って、SRAM 0およびSRAM 1内のデータを一括してリセットすることができる。

【0133】なお、RESETピンによって、SRAM 0およびSRAM 1を一括してリセットする構成に限らず、予め設定されたリセットコマンドを発行することにより、ライトステートマシンWSMによって、SRAM 0およびSRAM 1を一括してリセットする構成としてもよい。

【0134】また、予め設定されたリセットコマンドが発行されると、SRAM 0およびSRAM 1のSRAMメモリセル 6aに対して、順次、特定のデータ内容を書き込んでリセットするようにしてもよい。この場合には、SRAM 0およびSRAM 1における任意の領域のSRAMメモリセル 6aのデータをリセットすることができる。

【0135】このようなリセット機能を有する半導体記憶装置では、フラッシュメモリアレイ 11に書き込まれたデータが誤って上書きされることを防止することができる。フラッシュメモリアレイ 11は、アドレスに書き込まれたデータに対して上書きすることは可能であるが、一旦データが書き込まれると、データの消去は、ブロック単位となる。このために、フラッシュメモリアレイ 11のセルにおけるデータが誤って書き換えられる

と、その誤りを訂正することは容易でない。

【0136】このようなリセット機能を有する半導体記憶装置では、図32に示すように、SRAM0からフラッシュメモリアレイ11にデータを転送した後に、SRAM0におけるデータ転送領域をリセットするようにしてもよい。この場合には、その後のデータ転送コマンド発行時に、誤って、すでにデータが転送された状態になっているSRAM0の領域がデータ転送領域として設定されても、フラッシュメモリアレイ11にデータが転送されることによって、フラッシュメモリアレイ11のデータが上書きされて書き換えられるおそれがない。

【0137】図33は、本発明の半導体記憶装置のさらに他の例を示す構成図である。この半導体記憶装置には、SRAMアレイドであるSRAM0およびSRAM1のデータ書き換え不可能（プロテクト）動作を可能にするために、RAMPROTECTピンが設けられている。RAMPROTECTピンは、SRAM0およびSRAM1内のデータを書き換え不可能にする場合にはハイレベル「H」とされる。これにより、SRAM0およびSRAM1内に設けられたデータ書き込みコントロール回路が休止状態とされ、データの書き換えが不可能な状態とされる。また、SRAM0およびSRAM1には、データの書き換えが不可能なプロテクト状態の場合に、セット状態とされるロック用フラグRF1およびRF2が、それぞれ設けられており、外部CPUは、ロック用フラグRF1およびRF2によって、SRAM0およびSRAM1が、データの書き換えが不可能なプロテクト状態になっていることを判別することができる。

【0138】SRAM0およびSRAM1内に設けられたデータ書き込みコントロール回路を休止状態とするロックビットは、SRAM0およびSRAM1それぞれに設けられているために、SRAM0およびSRAM1毎に、データの書き換えが不可能な状態とすることができる。

【0139】図34は、本発明の半導体記憶装置のさらに他の例を示す構成図である。この半導体記憶装置は、RP#をローレベルにして半導体記憶装置の消費電力を低減し、制御回路の状態を初期化、休眠状態にさせるパワーダウン機能を有している。この半導体記憶装置は、電源電圧を与えていない状態から規定の電源電圧を印加した電源投入時、あるいは、パワーダウン状態からRP#をハイレベルにして半導体記憶装置が動作可能になった復帰時に、フラッシュメモリ11の予め決められた領域のデータをSRAM0またはSRAM1に自動的に転送するようになっている。このような機能を発揮するために、半導体記憶装置には、電源電圧の投入を検出する電圧検出回路14と、パワーダウン動作を行わせるRP#ピンと、フラッシュメモリアレイ11からSRAM0およびSRAM1へのデータ転送情報が格納されたデータ転送情報回路15とが設けられている。

【0140】データ転送情報回路15には、電源投入時、または、パワーダウンから通常の使用状態への復帰時に、フラッシュメモリアレイ11から、SRAMアレイドであるSRAM0へ転送されるデータに関するフラッシュメモリアレイ11の転送元スタートアドレスおよび転送元エンドアドレスと、SRAM0に転送されるデータの先頭アドレスである転送先アドレスとが設定されている。

【0141】このような半導体記憶装置は、電源電圧を検出する電圧検出回路14により電源投入されたこと、あるいは、RP#の操作によりパワーダウンから復帰したことが検出されると、ライトステートマシンWSMは、データ転送情報回路15から、フラッシュメモリアレイ11の転送元スタートアドレスおよび転送元エンドアドレスと、SRAM0の転送先アドレスとを読み出して、読み出されたアドレスに基づいて、フラッシュメモリアレイ11からSRAM0へ順次データを転送する。これにより、フラッシュメモリアレイ11内に格納されているデータを、SRAM0に格納することができる。

【0142】従って、電源投入時、パワーダウン状態から通常の使用状態への復帰時において、フラッシュメモリアレイ11内に格納された所定のデータが、SRAM0にダウンロードされるために、半導体記憶装置が初期化された時点で、そのデータを使用されることができる。このような構成は、特に、フラッシュメモリアレイ11内に格納された所定のプログラムを、必ず、SRAMアレイドにダウンロードして使用する場合に好適である。

【0143】なお、このような構成の半導体記憶装置において、SRAMアレイドにデータが転送されると、転送されたデータの書き換えを不可能にすることもできる。この場合には、図35に示すように、SRAM0およびSRAM1に、データの書き換えを不可能とするロック用フラグRF1およびRF2がそれぞれ設けられる。その他の構成は、図32に示す半導体記憶装置と同様である。

【0144】このような構成の半導体記憶装置では、フラッシュメモリアレイ11からSRAM0にデータが転送されると、ライトステートマシンWSMは、データが転送されたSRAM0を書き換え不可能な状態として、ロック用フラグRF0をセットする。これにより、SRAM0内に転送されたデータは、書き換え不可能な状態になる。従って、フラッシュメモリアレイ11内に格納された所定のプログラムを、必ず、SRAMアレイドにダウンロードして使用する場合に、ダウンロードされたプログラムが書き換えられるおそれがない。

【0145】なお、本発明の半導体記憶装置では、図36に示すように、CLKピンによってクロック信号CLKが入力されるようにして、クロック信号CLKに同期してI/Oピンからデータを入出力するシンクロナス



ンターフェースを設けるようにしてもよい。このような構成によって、通常のデータの読み出しおよび書き込みと比べて、シンクロナス動作により高速にてデータの読み出しおよび書き込みができる。

【0146】本発明の半導体記憶装置においては、図37(a)に示すように、16ビット幅の入出力データバス16を用いて、14ビットバスをフラッシュメモリアレイ11のデータ読み出し用とし、2ビットバスをSRAM0およびSRAM1のデータ読み出し用とするとともに、図37(b)に示すように、デコード回路により、フラッシュメモリアレイ11用として14ビット、SRAM0およびSRAM1として2ビットが割り当てられた16ビットのメモリマップの構成としてもよい。このような構成により、データの読み出し時に、フラッシュメモリアレイ11に格納されている14ビットのデータと、SRAM0およびSRAM1に格納されている2ビットのデータとを1回の読み出し動作によって外部CPUによって読み出すことができる。

【0147】また、データの書き込みの際には、例えば、SRAM0およびSRAM1と、フラッシュメモリアレイ11とに対する書き込みコマンドを共通にすることによって、SRAM0およびSRAM1と、フラッシュメモリアレイ11とに対して同時にデータを書き込むことができる。

【0148】このように、SRAM0およびSRAM1と、フラッシュメモリアレイ11とに対するデータの読み出しおよび書き込みをそれぞれ同時にできるために、外部CPUと容易にマッチングさせることができる。

【0149】なお、16ビットのメモリマップは、図37(c)に示すように、上位2ビットをSRAM0およびSRAM1用、下位14ビットをフラッシュメモリアレイ用としてもよい。

【0150】また、図38に示すように、入出力データバス16が、16ビット幅になっており、さらに、SRAM0およびSRAM1にそれぞれ接続された各内部転送用データバス17に、バス幅切替えスイッチ18aおよび18bをそれぞれ設けるとともに、フラッシュメモリアレイ11に接続された内部転送用データバス17にも、バス幅切替えスイッチ18cを設けるようにしてもよい。各バス幅切替えスイッチ18a~18cは、それぞれ、予め設定された入力端子、あるいは、予め設定されたコマンドによって切り換えられるようになっている。

【0151】このような構成の半導体記憶装置では、SRAM0およびSRAM1と、フラッシュメモリアレイ11とに対するデータの読み出しおよび書き込みを、それぞれ同時にすることができ、外部CPUと容易にマッチングさせることができる。

【0152】さらには、入出力データバス16のバス幅に対して内部転送用データバス17のバス幅を大きくす

るようにしてもよい。例えば、図39(a)に示す半導体記憶装置では、入出力データバス16のバス幅は16ビット、内部転送用データバス17のバス幅は32ビットになっている。このような構成では、図39(b)に示すように、SRAMアレイに書き込まれた16ビットのデータ4組を、フラッシュメモリアレイ11へ転送する場合には、内部転送用データバス17のバス幅が32ビットになっていることにより、フラッシュメモリアレイ11に対して、32ビットのデータの書き込みを2回繰り返せばよい。

【0153】これに対して、図39(c)に示すように、内部転送用データバス17のバス幅が16ビットになっている場合には、SRAMアレイに書き込まれた16ビットのデータ4組をフラッシュメモリアレイ11へ転送するに際して、フラッシュメモリアレイ11に対して、16ビットのデータの書き込みを、4回繰り返す必要がある。

【0154】このように、内部転送用データバス17のバス幅が、入出力データバス16のバス幅よりも大きくなっていることにより、ライトステートマシンWSMによるSRAMアレイからのデータの読み出し、WSMによるフラッシュメモリアレイ11へのデータの書き込みを高速で行うことができる。

【0155】本発明の半導体記憶装置は、このように、従来、必要であった外付けSRAMを設ける必要がなく、また、SRAMの必要容量を低減することができる。すでに述べたように、SRAMとフラッシュメモリでは、データの読み出し時間は、共に100ns程度と、ほぼ等しくなっているが、データの書き込み時間は、フラッシュメモリでは、SRAMに比べて、けた違いに遅い。本発明の半導体記憶装置では、フラッシュメモリへのデータの書き込み時間を見かけ上速くすることができる。また、従来、SRAMに保存していたデータを、フラッシュメモリに保存することによって、SRAMの必要容量を削減することができ、しかも、全体のチップ面積を低減することができる。

【0156】すなわち、フラッシュメモリは、1ビットのデータを、1つのトランジスタによって記憶しているのに対して、SRAMでは、1ビットのデータを、6つのトランジスタによって記憶しているために、SRAMに代えてフラッシュメモリにデータを記憶させることにより、全体のチップ面積を低減することができる。

【0157】しかも、本発明の半導体記憶装置では、いずれかのSRAMアレイからフラッシュへのデータ転送中に、外部CPUから他のSRAMアレイへの書き込みが可能であるため、保存すべきデータを、1つのSRAMアレイに対して高速で書き込みつつ、他のSRAMアレイからフラッシュメモリへのデータ転送を実行でき、見かけ上、フラッシュメモリへのデータの書き込みを速くすることができる。

【0158】なお、本発明の半導体記憶装置では、一対のSRAM0およびSRAM1に代えて、高速での書き換えが可能な一対のFRAMアレイを使用するようにしてもよい。この場合も、図40に示すように、FRAMアレイであるFRAM0およびFRAM1と、ライトステートマシンWSMとの間でデータの転送が可能である。なお、FRAMアレイは、2つ以上設けるようにしてもよい。

【0159】このような構成の半導体記憶装置は、FRAMアレイは、SRAMアレイと同様に高速での書き換えが可能であるにもかかわらず、FRAMアレイを構成するFRAMセルは、SRAMアレイを構成するSRAMセルよりもセル面積が小さいために、全体のチップ面積を小さくすることができる。

【0160】

【発明の効果】以上のように、本発明の半導体記憶装置は、データを、一旦、書き込み時間の短いSRAM等の揮発性半導体記憶素子、あるいは高速動作可能な不揮発性半導体記憶素子によって構成された第1メモリアレイに記憶し、一括してフラッシュメモリ等の不揮発性半導体記憶素子によって構成された第2メモリアレイへ転送するようになっているために、不揮発性半導体記憶素子によって構成された第2メモリアレイへのデータ転送中において、外部CPU等の外部接続装置は、待機時間が不要になり、外部接続装置は他の処理を実施することが可能になる。

【0161】さらに、複数組の第1メモリアレイが設けられて、一方の第1メモリアレイが、第2メモリアレイに対してデータ転送している間に他の第1メモリアレイに対してデータの書き込みが可能になっているために、より多数のデータを短時間で書き込むことができる。また、第2メモリアレイのデータを消去する場合にも、同時に、第1メモリアレイに対してデータの書き込みを行うことができる。一方の第1メモリアレイがデータを転送している間は、他方の第1メモリアレイは、データを外部に読み出すこともできるために、ワーク用として使用することができる。

【0162】さらに、外部接続装置からのデータは、第1メモリアレイに一旦書き込まれた後に、第2メモリアレイに転送されて、第2メモリアレイに記憶されるために、一時的なデータ保持に使用される外付けSRAMを設ける必要がない。その結果、全体のチップ面積を減少させることができる。

【図面の簡単な説明】

【図1】不揮発性半導体記憶素子であるフラッシュメモリのメモリセルの構造を示す回路図である。

【図2】NOR型フラッシュメモリにおけるブロック構造、特に、Xデコーダとワード線との関係を示す回路図である。

【図3】揮発性半導体記憶素子であるSRAMのメモリ

セルの構造を示す回路図である。

【図4】本発明の半導体記憶装置の実施の形態の一例を示す概略構成図である。

【図5】その半導体記憶装置におけるアドレスマップの一例を示す構成図である。

【図6】その半導体記憶装置においてSRAMアレイに対するデータの書き込み時におけるデータの流れを示す概略図である。

【図7】そのデータ書き込み時におけるコマンドの一例を示すタイミングチャートである。

【図8】そのデータ書き込み時におけるコマンドの他の例を示すタイミングチャートである。

【図9】本発明の半導体記憶装置において、SRAMアレイからフラッシュメモリアレイへデータ転送するときのデータの流れを示す概略図である。

【図10】そのデータ転送時におけるコマンドの一例を示すタイミングチャートである。

【図11】本発明の半導体記憶装置において、SRAMアレイからフラッシュメモリアレイへデータ転送時におけるデータの流れを示す概略図である。

【図12】本発明の半導体記憶装置において、SRAMアレイからフラッシュメモリアレイへSRAMアレイ内のデータを一括データ転送する場合のコマンドの一例を示すタイミングチャートである。

【図13】本発明の半導体記憶装置において、SRAMアレイからフラッシュメモリアレイへSRAMアレイ内のデータを、任意のデータ数だけ転送する場合のコマンド入力の一例を示すタイミングチャートである。

【図14】本発明の半導体記憶装置において、SRAMアレイからフラッシュメモリアレイへのデータ時のデータの流れを示す概略図である。

【図15】その場合のコマンドの一例を示すタイミングチャートである。

【図16】その場合のコマンドの他の例を示すタイミングチャートである。

【図17】本発明の半導体記憶装置において、SRAMアレイからフラッシュメモリアレイへデータ転送中に、もう一方のSRAMアレイに対してデータ書き込みを行う場合のデータの流れを示す概略図である。

【図18】その場合のコマンドの一例を示すタイミングチャートである。

【図19】本発明の半導体記憶装置において、SRAMアレイとフラッシュメモリアレイとの間でのデータ転送に際してデータが一致する場合のデータの流れを示す概略図である。

【図20】本発明の半導体記憶装置において、SRAMアレイからフラッシュメモリアレイへのデータ転送中に、そのSRAMアレイに対してデータ書き込みを禁止する場合のデータの流れを示す概略図である。

【図21】本発明の半導体記憶装置において、SRAM

アレイからフラッシュメモリアレイへデータ転送中に、そのSRAMアレイがデータ転送中であることの情報を出力する場合のデータの流れを示す概略図である。

【図22】本発明の半導体記憶装置において、フラッシュメモリアレイのデータ消去中に、SRAMアレイに対してデータを書き込みおよび読み出しする場合のデータの流れを示す概略図である。

【図23】その場合のコマンドの一例を示すタイミングチャートである。

【図24】本発明の半導体記憶装置において、一方のSRAMアレイのサイズとフラッシュメモリアレイのブロックのサイズとが等しい場合におけるデータ転送時のデータの流れを示す概略図である。

【図25】(a)は、本発明の半導体記憶装置におけるアドレスマップの他の例を示す構成図、(b)は、そのアドレスマップを有する半導体記憶装置の概略構成図である。

【図26】本発明の半導体記憶装置において、CE0#とCE1#とを切り換える構成を示す概略図である。

【図27】本発明の半導体記憶装置において、フラッシュメモリアレイに複数のバンクが設けられた構成を示す概略図である。

【図28】その半導体記憶装置において、フラッシュメモリアレイの各バンクに対するデータの流れを示す概略図である。

【図29】その半導体記憶装置において、フラッシュメモリアレイの一方のバンクのイレース制御時におけるデータの流れを示す概略図である。

【図30】本発明の半導体記憶装置において、SRAMアレイがリセット可能になった構成におけるデータの流れの一例を示す概略図である。

【図31】その半導体記憶装置のSRAMアレイに使用されるSRAMの構成を示す回路図である。

【図32】本発明の半導体記憶装置において、SRAMアレイがリセット可能になった構成におけるデータの流れの他の例を示す概略図である。

【図33】本発明の半導体記憶装置において、SRAMアレイの書き換え不可能機能を有する構成におけるデータの

流れの一例を示す概略図である。

【図34】本発明の半導体記憶装置において、SRAMアレイの書き換え不可能機能を有する構成におけるデータの流れの他の例を示す概略図である。

【図35】本発明の半導体記憶装置において、SRAMアレイのデータが転送された後に初期化する場合のデータの流れの一例を示す概略図である。

【図36】本発明の半導体記憶装置において、クロック信号が入力される構成を示す概略図である。

【図37】(a)は、本発明の半導体記憶装置において、入出力データバスの構成の一例を示す概略図、(b)および(c)は、それぞれ、その入出力データバスについての説明図である。

【図38】本発明の半導体記憶装置において、入出力データバスのバス幅が切り換え可能になった構成の一例を示す概略図である。

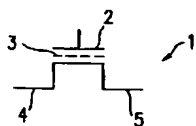
【図39】(a)は、本発明の半導体記憶装置において、入出力データバスの構成の他の例を示す概略図、(b)および(c)は、それぞれ、その入出力データバスについての説明図である。

【図40】本発明の半導体記憶装置において、FRAMアレイを使用した構成を示す概略図である。

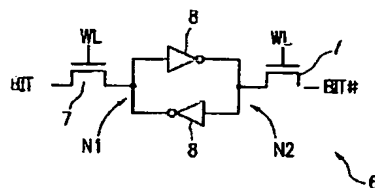
【符号の説明】

- 1 フラッシュメモリセル
- 2 コントロールゲート2
- 3 フローティングゲート
- 4 ソース
- 5 ドレイン
- 6、6a SRAMメモリセル
- 7 スイッチ用トランジスタ
- 8 インバータ
- 9 リセット用トランジスタ
- 11 フラッシュメモリアレイ
- 12 コマンド認識部
- 14 電圧検出回路
- 15 データ転送情報回路
- 16 入出力データバス
- 17 内部データ転送用バス

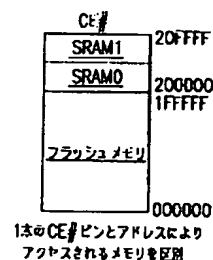
【図1】



【図3】

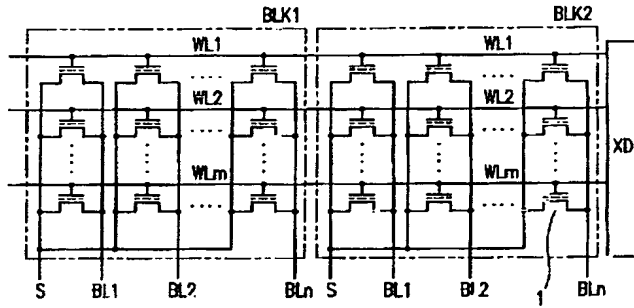


【図5】

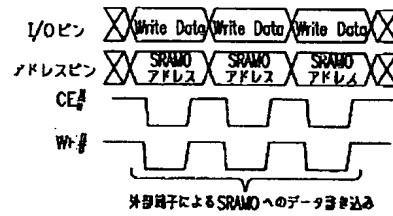


1はCE#ピンとアドレスにより  
アクセスされるメモリ領域

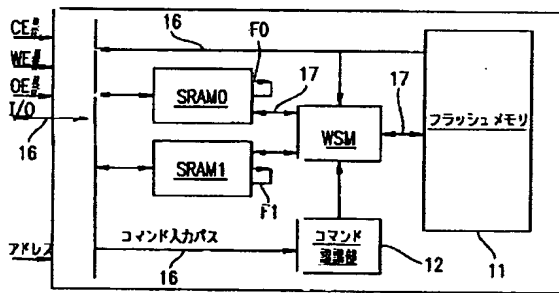
【図2】



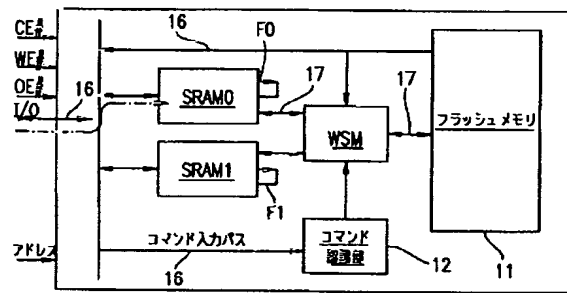
【図7】



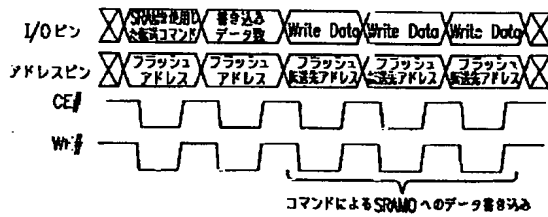
【図4】



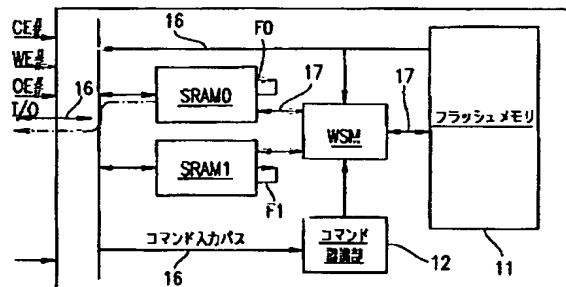
【図6】



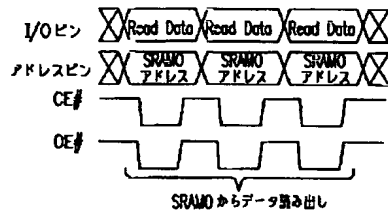
【図8】



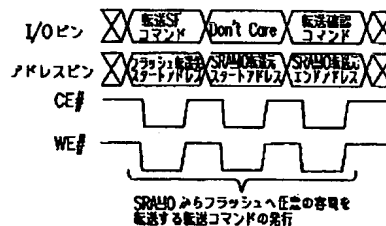
【図9】



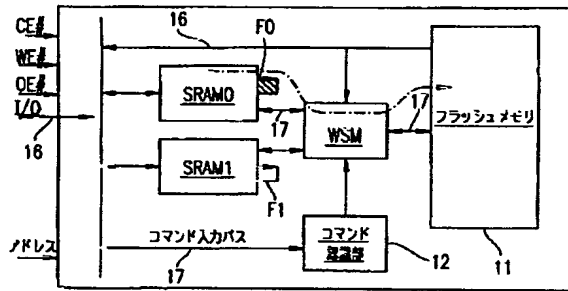
【図10】



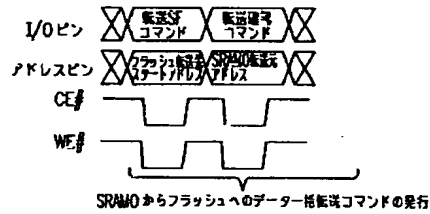
【図12】



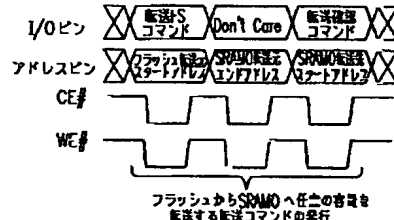
【図11】



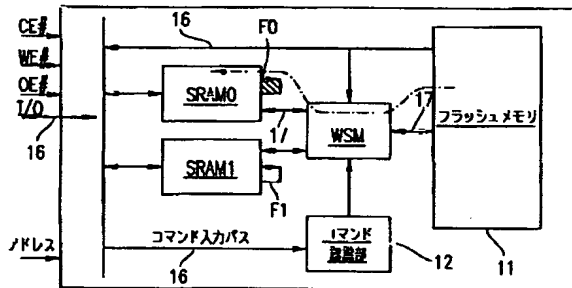
【図13】



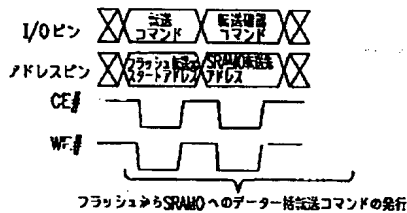
【図15】



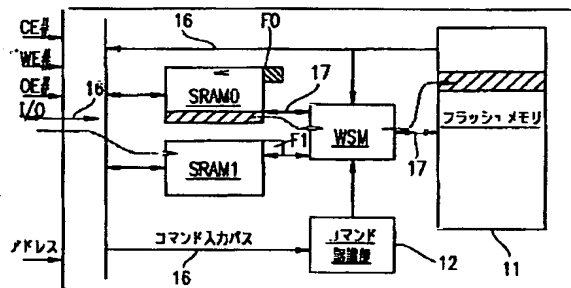
【図14】



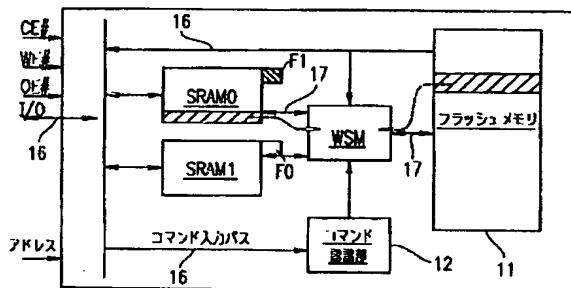
【図16】



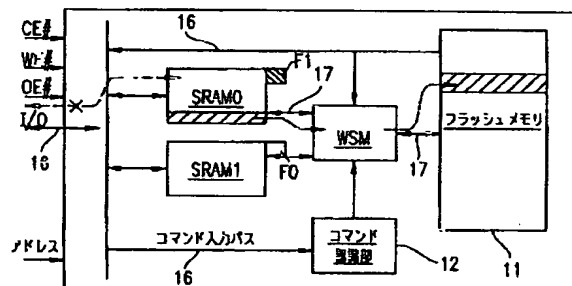
【図17】



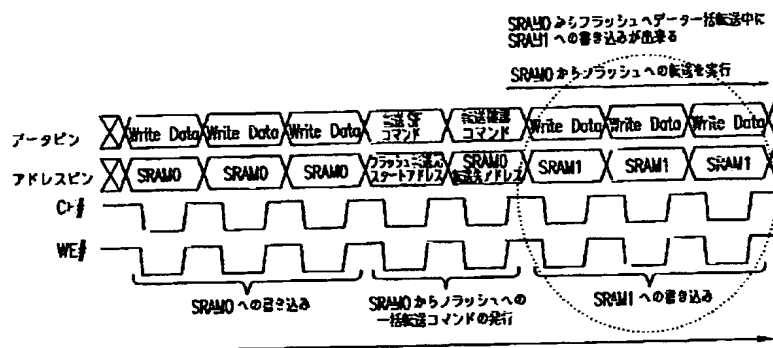
【図19】



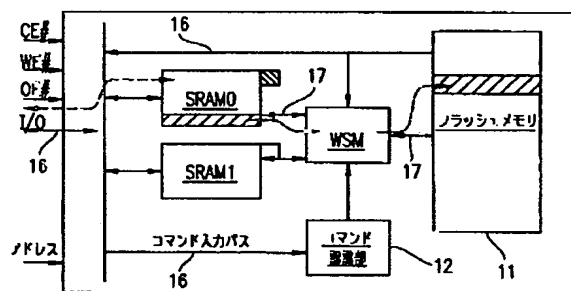
【図20】



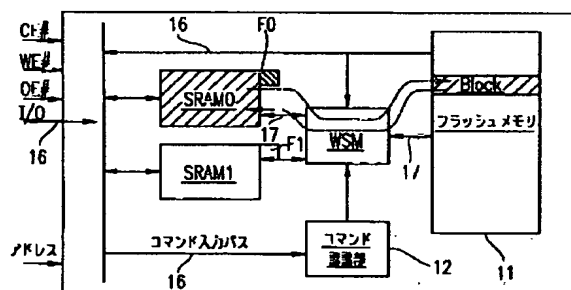
【図18】



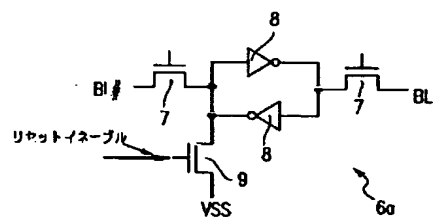
【図21】



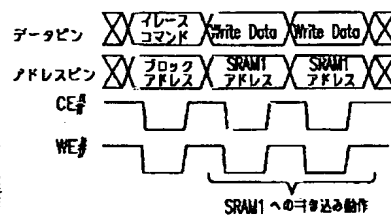
【図24】



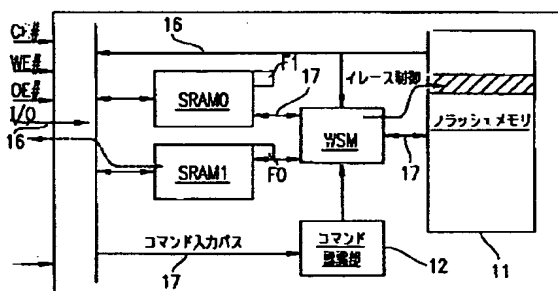
【図31】



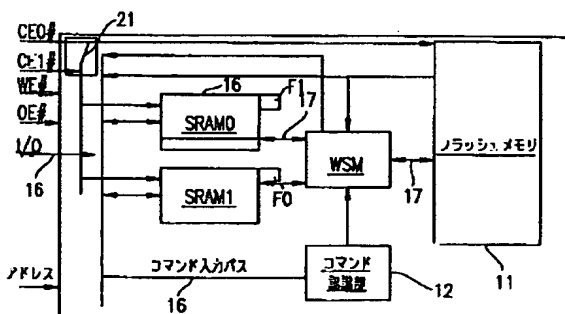
【图23】



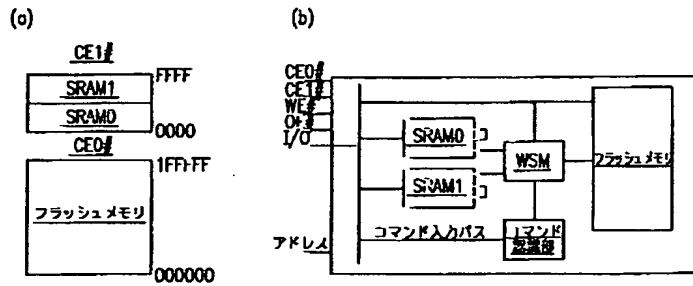
【図22】



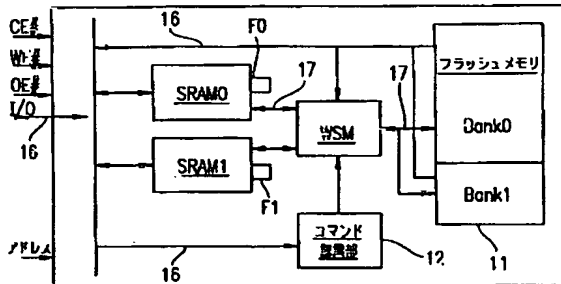
【图26】



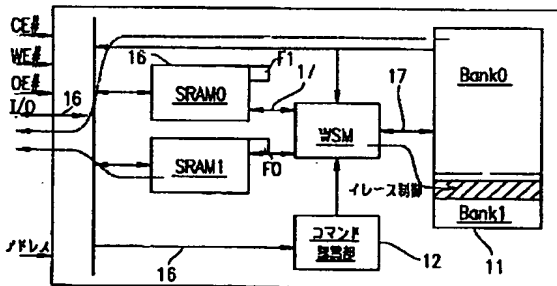
【図25】



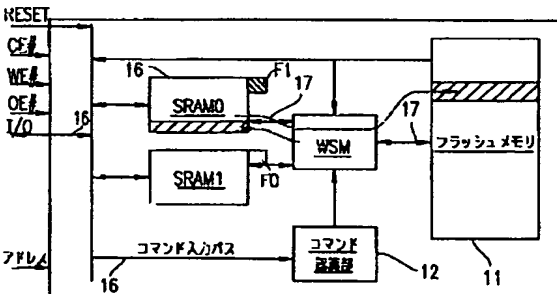
【図27】



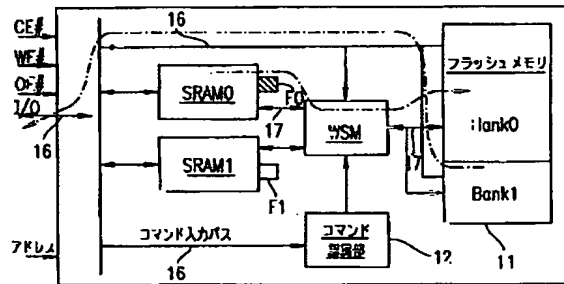
【図29】



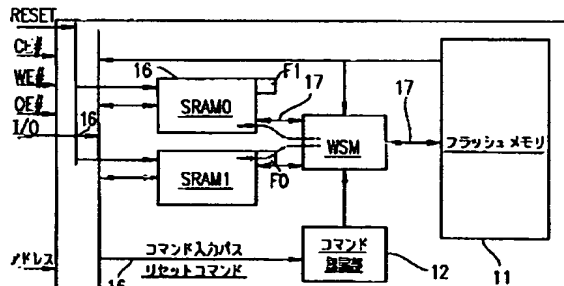
【図32】



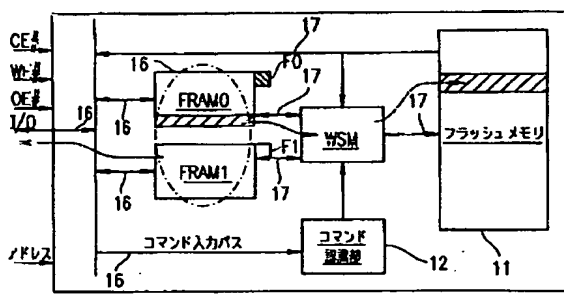
【図28】



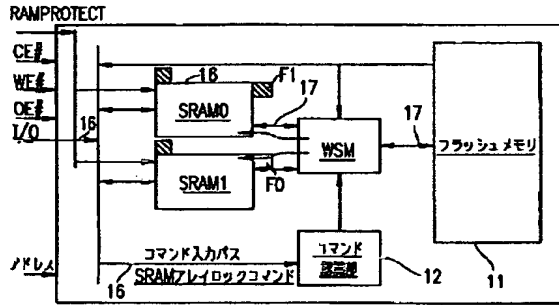
【図30】



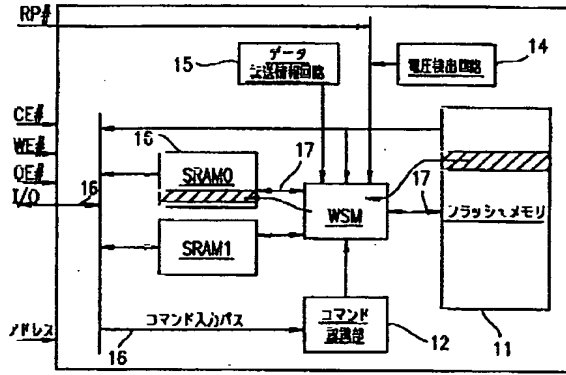
【図40】



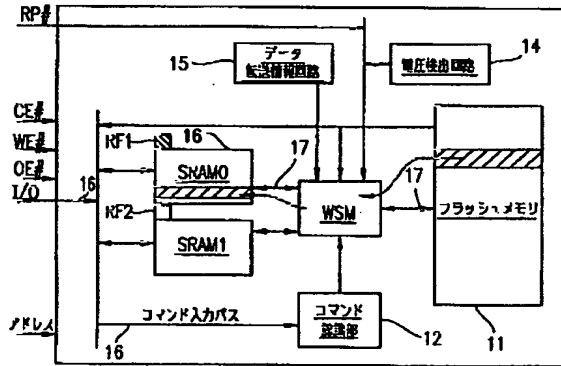
【図33】



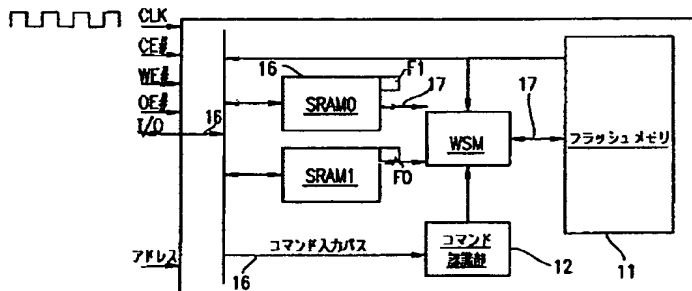
【図34】



【図35】



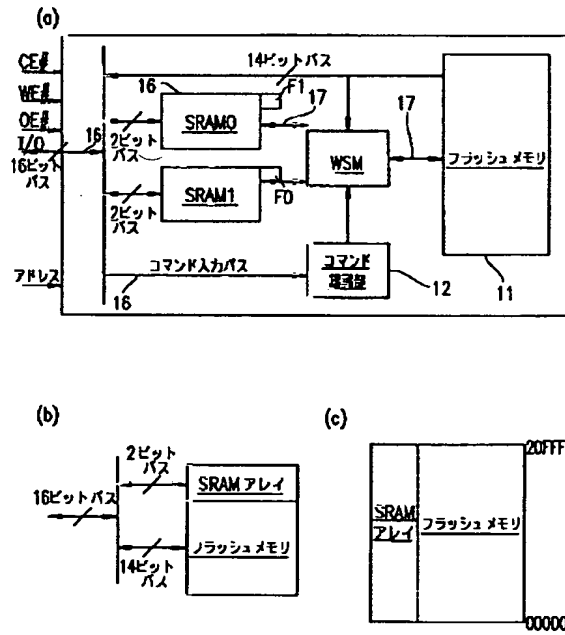
【図36】



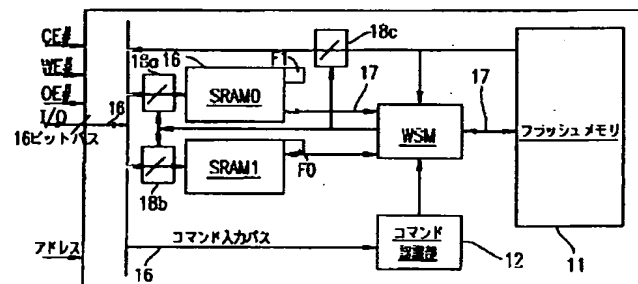


(23) 01-357684 (P2001-357684A)

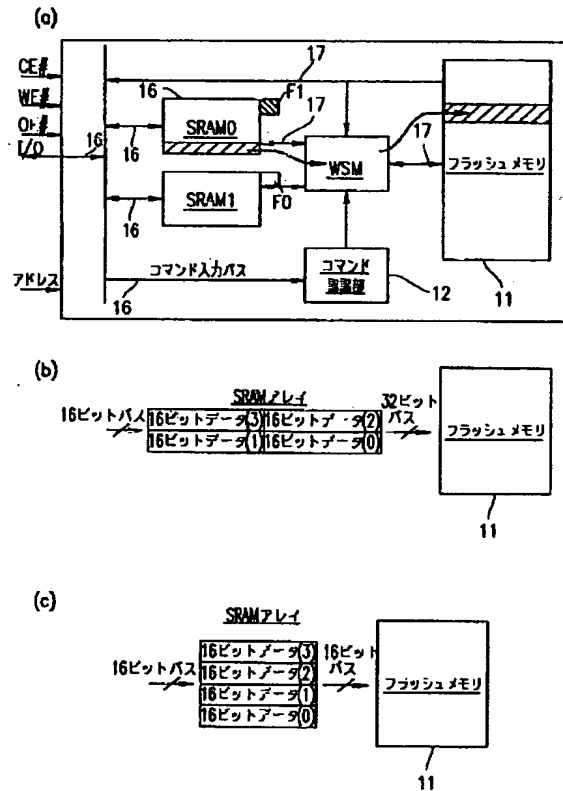
【図37】



【図38】



【図39】



フロントページの続き

(72)発明者 隅谷 憲  
大阪府大阪市阿倍野区長池町22番22号 シ  
ヤープ株式会社内

Fターム(参考) 5B015 HH01 HH03 JJ21 KB92 MM10  
NN06 PP01 PP06 QQ16  
5B025 AA03 AC01 AE00 AE05

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**